

**T.C.
SAKARYA ÜNİVERSİTESİ
FEN BİLİMLERİ ENSTİTÜSÜ**

**ELEKTRONİK KARTLARIN SINIR TARAMA
KULLANILARAK TEST EDİLMESİNDE JTAG
UYGULAMASI**

YÜKSEK LİSANS TEZİ

Elektrik-Elektronik Müh. Levent BURÇAK

Enstitü Anabilim Dalı : ELEKTRİK ELEKTRONİK MÜHENDİSLİĞİ
Enstitü Bilim Dalı : ELEKTRİK
Tez Danışmanı : Prof. Dr. Etem KÖKLÜKAYA

Eylül 2011

T.C.
SAKARYA ÜNİVERSİTESİ
FEN BİLİMLERİ ENSTİTÜSÜ

**ELEKTRONİK KARTLARIN SINIR TARAMA
KULLANILARAK TEST EDİLMESİNDE JTAG
UYGULAMASI**

YÜKSEK LİSANS TEZİ

Elektrik-Elektronik Müh. Levent BURÇAK

Enstitü Anabilim Dalı : ELEKTRİK ELEKTRONİK MÜHENDİSLİĞİ

Enstitü Bilim Dalı : ELEKTRİK

Bu tez 22.09.2011 tarihinde aşağıdaki jüri tarafından Oybirliği ile kabul edilmiştir.



Prof. Dr. Etem KÖKLÜKAYA

Jüri Başkanı



Doç. Dr. Aşkın DEMİRKOL

Üye



Doç. Dr. A. Fuat BOZ

Üye

ÖNSÖZ

Çalışmalarım sırasında büyük bir sabır ve anlayışla yardımlarını hiçbir zaman esirgemeyen danışman hocam Sn. Prof. Dr. Etem KÖKLÜKAYA'ya, çalışma arkadaşlarımdan Sn. Selim SARAÇ ve Sn. İsmail GÜDENLER'e teşekkür ederim

İÇİNDEKİLER

ÖNSÖZ.....	ii
İÇİNDEKİLER.....	iii
SİMGELER VE KISALTMALAR LİSTESİ	vii
ŞEKİLLER LİSTESİ	ix
TABLOLAR LİSTESİ.....	x
ÖZET.....	xi
SUMMARY.....	xii

BÖLÜM 1.

GİRİŞ.....	1
1.1. Sınır Tarama (Boundary Scan)	1
1.2. JTAG / Sınır Tarama IEEE 1149.1	1

BÖLÜM 2.

TEST EDİLEBİLİRLİK İÇİN TASARIM.....	3
2.1. Test Edilebilirlik	3
2.2. Yararları.....	4

BÖLÜM 3.

KULLANILAN TEST YÖNTEMLERİ.....	5
3.1. Devre İçi Test (In- Circuit Test(ICT))	5
3.2. Flying Probe Test.....	6
3.3. Fonksiyonel Test (Functional Test)	6
3.4. Üretim Hata Çözümleyici (Manufacturing Defect Analyser)	6
3.5. Otomatik Optik / X-Işını Tarama (AOI / AXI)	7
3.6. JTAG.....	7

3.6.1. Sınır tarama ilkesi	7
3.6.2. Tipik bir sınır tarama hücresinin yapısı	8
3.6.3. IEEE 1149.1 eleman mimarisi	9
3.6.4. Komut yazmacı (Instruction register)	10
3.6.5. Standart komutlar	12
3.6.6. Zorunlu komutlar	12
3.6.6.1. Extest komutu:.....	12
3.6.6.2. Bypass komutu	13
3.6.6.3. Sample ve preload komutu	13
3.6.7. Opsiyonel komutlar	13
3.6.7.1. Intest komutu	13
3.6.7.2. Idcode komutu	13
3.6.7.3. Usercode komutu.....	14
3.6.7.4. Runbist komutu	14
3.6.7.5. Clamp komutu	14
3.6.7.6. High-z komutu.....	14
3.6.8. Test erişim noktası(Test access point (TAP))	15
3.6.9. Bypass yazmacı	16
3.6.10 Tanılama yazmacı (Identification register)	16
3.6.11. Sınır tarama yazmacı(Boundary Scan Register)	17
3.7. Sınır Tarama Tanımlama Dili (Boundary Scan Description Language (BSDL)).....	17
3.7.1. Giriş.....	17
3.7.2. BSDL içerdiği elemanları	18
3.7.2.1. Varlık tanımları(Entity descriptions).....	19
3.7.2.2. Genel parametre (Generic parameter)	19
3.7.2.3. Lojik port tanımı (Logical port description).....	19
3.7.2.4. Kullanım ifadeleri (Use statements).....	20
3.7.2.5. Pin haritası (Pin mapping).....	20
3.7.2.6. Tarayıcı port kimliği (Scan port identification)	20
3.7.2.7. Komut yazmacı tanımı (Instruction register description).....	20
3.7.2.8. Yazmaç erişim tanımı (Register access description).....	21
3.7.2.9. Sınır yazmaç tanımı (Boundary register description).....	21

3.8. Kullanılan Test Sistemlerinin Özelliklerinin Bir Arada Verilmesi	21
---	----

BÖLÜM 4.

ÖRNEK UYGULAMA ÜZERİNDEN JTAG TEST SİSTEMİ OLUŞTURULMASI VE TEST

SONUÇLARININ İNCELENMESİ.....	24
4.1. Giriş	24
4.2. Demo Devre Kartının Tanımı	26
4.3. XJLink Modülünün Devre Kartına Bağlantısı.....	27
4.4. XJDeveloper Programı İle Projenin Oluşturulması	28
4.4.1. Netlist dosyasının tanıtılması	29
4.4.2. BOM dosyasının tanıtılması.....	29
4.4.3. Güç / toprak(Power / ground) netlerinin tanımlanması.....	30
4.4.3.1. TDI ve TDO pinlerinin tanıtılması ve zincir(chain) oluşturulması	30
4.4.4. JTAG olmayan elemanlar	33
4.4.5. Ek bağlantılar	34
4.4.6. Atanmamış elemanlardan kalanların sınıflandırılması.....	34
4.4.6.1. Test bileşenleri	34
4.4.6.2. Lojik bileşenler.....	34
4.4.6.3. Pasif bileşenler	35
4.4.6.4. Göz ardı edilen bileşenler	35
4.4.7. Pin haritası ayarları	36
4.4.8. Testin çalıştırılması	36
4.4.9. DFT analiz.....	37
4.5. Basit Tümeleşik Devre Bileşen Testi Komutları.....	39
4.6. Daha Karmaşık Tümeleşik Devre Bileşen Testi Komutları.....	40
4.6.1. Yazma döngüsü	41
4.6.2. Okuma döngüsü	41
4.6.3. Hafıza testi uzantıları	42
4.6.4. Bir statik RAM testinin yeniden kullanımı	42

BÖLÜM 5.

SONUÇ.....	43
------------	----

BÖLÜM 6.	
ÖNERİLER.....	45
KAYNAKLAR.....	47
ÖZGEÇMİŞ.....	48

SİMGELER VE KISALTMALAR LİSTESİ

AOI	: Otomatik optik denetim (Automated optical inspection)
AXI	: Otomatik X-ışın denetlemesi (Automated X-ray inspection)
BSDL	: Sınır tarama tanımlama dili (Boundary scan description language)
CPLD	: Karmaşık programlanabilen lojik devre bileşeni (Complex programmable logic device)
DFT	: Test edilebilirlik için tasarım (Design for testability)
FPGA	: Alanda programlanabilir kapı dizileri (Field programmable gate array)
GND	: Toprak (Ground)
IC	: Tümleşik devre (Integrated circuit)
ICT	: Devre içi test (In circuit test)
IEEE	: Elektrik ve Elektrtronik Mühendisleri Enstitüsü (Institute of Electrical and Electronics Engineers)
IIC	: Uluslararası İletişim Enstitüsü (Internation institute of communications)
IR	: Komut yazmacı (Instruction register)
JTAG	: Ortak Test Çalışma Grubu (Joint test action group)
JETAG	: Avrupalı Ortak Test Çalışma Grubu (Joint European Test ActionGroup)
MDA	: Üretim hata çözümleyicisi (Manufacturing defect analyzer)
PCB	: Baskılı devre kartı (Printed circuit board)
PI	: Paralel giriş (Parallel input)
PO	: Paralel çıkış (Parallell output)
RAM	: Rastgele erişimli hafıza (Random access memory)
SRAM	: Statik rastgele erişimli hafıza (Static random access memory)
SI	: Seri veri (Serial data)
SO	: Seri çıkış (Serial output)

TAP	: Test erişim noktası (Test access point)
TCK	: Test saat (Test clock)
TDO	: Test veri çıkışı (Test data output)
TDI	: Test veri girişi (Test data input)
TMS	: Test modu seçici (Test mode select)
TRST	: Test yeniden başlatılması (Test reset)
VHD	: Çok yüksek hızda tümleşik devre donanımı tanımlama dili (VHSIC (Very high speed integrated circuit) hardware description language)

ŞEKİLLER LİSTESİ

Şekil 1.1. Jtag / sınır tarama tarihçesi	2
Şekil 3.1. Elektronik devre kartı test düzenekleri	5
Şekil 3.2. Herhangi bir tümleşik devre elemanında bulunan sınır tarama hücresi.....	7
Şekil 3.3. Tipik bir sınır tarama hücresinin yapısı	8
Şekil 3.4. IEEE 1149.1 eleman mimarisi	9
Şekil 3.5. Komut yazmacı	11
Şekil 3.6. Test erişim noktası	15
Şekil 3.7. Bypass yazmacı.....	16
Şekil 3.8. Tanılama yazmacı	16
Şekil 3.9. Sınır tarama yazmacı.....	17
Şekil 4.1. Demo devre kartı blok diyagramı	26
Şekil 4.2. Elektronik devre kartı ekleme penceresi.....	29
Şekil 4.3. Oluşturulan jtag zincir.....	31
Şekil 4.4. Jtag elemanların tanıtılması	32
Şekil 4.5. Direnç gibi pasif elemanların oluşturulacak zincire tanıtılması	33
Şekil 4.6. Devre kartında kullanılan jtag olmayan tümleşik devre bileşenlerinin sınıflandırılması.....	35
Şekil 4.7. Testin çalıştırılması	37
Şekil 4.8. DFT analiz	38

TABLolar LİSTESİ

Tablo 3.1. Standart komut çeşitleri	12
Tablo 3.2. Kullanılan test sistemlerinin desteklediği özelliklerin gösterilmesi	22
Tablo 4.1. XJlink modülü-demo kartı Jtag konektörlerinin eşleştirilmesi.....	28

ÖZET

Anahtar kelimeler: Tümeleşik devre elemanları, Test teknikleri, JTAG, IEEE

Elektronik devre tasarımında kullanılan tümeleşik devre bileşenlerinin teknolojik gelişmeler sonucunda paket yapılarında ki küçülmeler, pin yapılarının değişmesi, sahip oldukları özelliklerin artması gibi tümeleşik devre bileşenini oluşturan yapısal ve işlevsel özellikler daha karmaşık bir yapıya dönüşmüştür. Bu karmaşık yapıların test edilebilmesi için geliştirilen yeni test teknikleri sonucunda JTAG tekniği geliştirilmiş ve bir IEEE standardı haline getirilmiştir. Bu karmaşık devrelerin kullanıldığı cihazların hatasız bir şekilde test edilerek üretilmesi için uygun bir test kurulumu gerekmektedir. Karmaşık devrelerin üzerinde yer alan bağlantı noktalarının çokluğu bu bağlantı noktalarının el ile testini imkânsız hale getirmektedir. Bu nedenle test sürecini otomatikleştirmek gerekmektedir. Bu sorunları çözmek amacıyla geliştirilen test sistemleri içerisinde kurulum, kullanım ve test kapsamı bakımından en avantajlısı Jtag sistemidir. Bu tez çerçevesinde Jtag sistemi ve diğer test sistemleri karşılaştırılmış olup avantajları ve dezavantajları tartışılmıştır. Jtag sistemi için örnek olarak yapılan uygulamada XJTAG firmasının üretmiş olduğu XJTAG test sistemi kullanılarak hata tespiti yapılmıştır.

JTAG APPLICATION AT ELECTRONIC CIRCUITS TESTING BY USING BOUNDARY SCAN

SUMMARY

Key Words: Test Techniques, JTAG, IEEE

With the development of technology, because of changing structural and functional features such as downsizing package structure, changing pin structures, increasing new features of Integrated Circuits(IC)' -which are used in electronic device development- ICs became more complicated structure. As a result of new testing techniques for testing of this complicated structure, JTAG technique was developed and became an IEEE standart. For defect-free testing and producing of the devices which uses these complicated circuits there must be a suitable testing setup. The majority of the pins on the complex circuits makes it impossible to test these ports manually. For this reason it is necessary to make it automated. In the systems developed for solving this problems Jtag is more advantageous in terms of instalation, usage and test coverage. Within the framework of this thesis, Jtag system and other test systems are compared and advantages and disadvantages are discussed. For an example of an application of Jtag system, error detection is done by using XJTAG produced by XJTAG company.

BÖLÜM 1. GİRİŞ

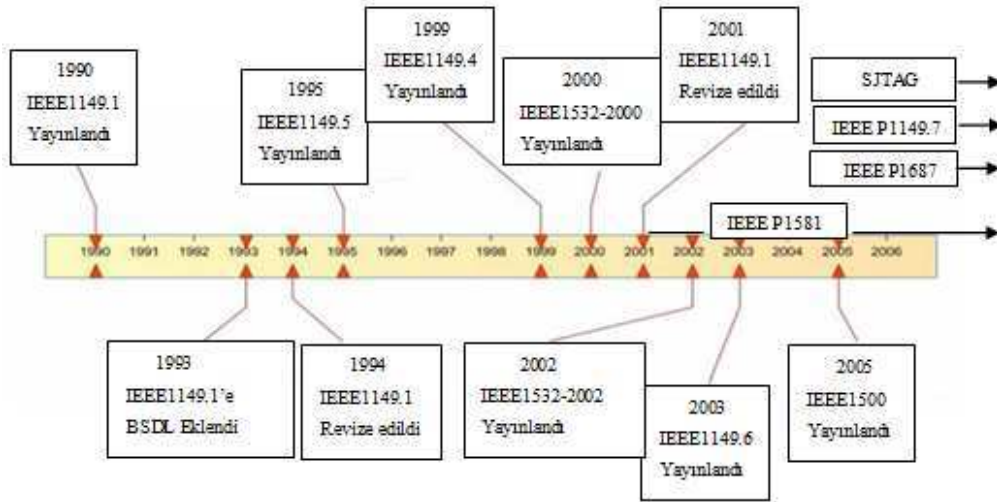
Elektronik kartlarda kullanılan tümleşik devre elemanlarının paket yapılarının küçülmesi ve buna bağlı olarak pin sayılarının artması, sahip oldukları özelliklerin artması, ... gibi özellikler elektronik devre kartlarının test edilmesi gereksinimi doğurmuştur. Elektronik kartlar için geliştirilen test teknikleri arasında işlevsellik, maliyet, kullanım kolaylığı ve kurulum bakımından en uygun olanı JTAG test sistemleridir.

1.1. Sınır Tarama (Boundary Scan)

Sınır tarama, yeni paketleme teknolojileri nedeniyle gittikçe karmaşık bir hale gelen baskılı devre kartlarının (PCB) üzerindeki fiziksel erişim problemlerini çözebilmek için 1980'lerin sonlarında geliştirilen bir test tekniğidir.

1.2. JTAG / Sınır Tarama IEEE 1149.1

Aşağıda Şekil 1.1'de IEEE 1149.1' in standart olarak yayınlandığı Jtag /Sınır Tarama standardının tarihçesi verilmiştir.



Şekil 1.1. Jtag / sınır tarama tarihçesi

CPU'nun kaynaklarını kullanarak devrenin tümünü test etmek amacıyla Jtag elektronik devre testi standardı olarak oluşturuldu. Daha sonraları gelişmeler dâhilinde yazım yükleme işleminde de kullanıldı. 1986 yılında ilk kez JETAG kuruldu. 1988 yılında Amerikan şirketlerinin de katılması ile JTAG oldu. 1990 yılında JTAG çalışma grubu bunu IEEE 1149.1 standart olarak yayınladı ve ilk JTAG firmaları bu dönemde kurulmaya başladı. 1993 yılında ise BSDL çalışmaları da eklenerek IEEE 1149.1 standardı IEEE 1149.1a olarak revize edildi. Takip eden yıllarda ise Şekil 1.1' de gösterildiği gibi yapılan çalışmalar sonucunda yayınlanmış olan standartlar revize edilerek yeni standartlar oluşturuldu [1, 3, 4].

BÖLÜM 2. TEST EDİLEBİLİRLİK İÇİN TASARIM

Test edilebilirlik için tasarım (Design for testability(DFT)), geliştirme sürecinde geliştiriciye yol göstererek tasarlanan sistemin test edilebilir olması, hataların kolayca bulunup gözlemlenebilmesi ve bu sayede test maliyetlerinin azaltılarak etkisinin artırılması için tanımlanmış geliştirme teknikleridir.

2.1. Test Edilebilirlik

Teknolojik ihtiyaçlar sonucunda geliştirilen bir cihazın çalışır şekilde tasarlanması, yapılması gereken işlemlerin sadece belli bir kısmını oluşturur. Geliştirilen sistemin güvenilir, tüm fonksiyonlarının çalışır, üretilebilir ve müşteri gereklilerini karşılayabilir olması gerekir. Bu nedenle tasarlanan sistemin test edilebilir olması gerekliliği ortaya çıkmaktadır. Küçük ölçekli dijital sistemlerde kara kutu tekniği kullanılarak daha önceden hazırlanan test senaryoları kolaylıkla uygulanabilir. Fakat daha büyük sistemlerde bu test tekniği kullanım dışıdır. Bu nedenle farklı teknikler denenmelidir.

Dijital lojik bir cihaz test edilirken cihazın giriş bağlantı noktalarına çeşitli sinyaller gönderilir ve çıkış bağlantı noktaları üzerinden ölçümler alınarak doğru olup olmadığına bakılır. Giriş bağlantı noktalarına uygulanan sinyallere test sinyalleri denir.

Genellikle cihazın tepkisi normal çıkış bağlantı noktaları üzerinden ölçülür fakat bununla birlikte normal kullanıcının göremediği bazı devre kartı üzerinde yer alan bağlantı noktaları vardır.

Cihazın çıkış tepkisi, doğru çalıştığına inanılan bir başka cihazla veya bir bilgisayar simülasyonu ile karşılaştırılır.

Test edilebilirlik tasarlanan bir devrenin bir test mühendisi tarafından rahatlıkla anlaşılabilir olması ve tüm fonksiyonlarının işlevsel olup olmadığının tespit edilebilir olması anlamına gelir. Aynı zamanda ilgili devrenin hatalarının kontrol edilebilir ve gözlemlenebilir olması anlamına da gelir.

2.2. Yararları

Tasarlanan bir cihazın test mühendisleri tarafından olabilecek en fazla test kapsamı barındıran test senaryolarıyla test edilmesi, cihazın tüm fonksiyonlarının işlevsellik testlerinin gerçekleştirilmesi, arızalı ürünlerin arıza bakım onarımının hızlıca yapılması cihazı tasarlayan firmanın birçok açıdan yararına olacak bir durumdur.

Buna göre:

- 1) Tasarlanan elektronik devrelerin boyutu küçülürken özellikleri artar.
- 2) Yeni paketleme teknolojileri ortaya çıkar.
- 3) Arıza bakım-onarım testleri daha hızlı ve daha doğru sonuçlar ile gerçekleştirilir. Bu sayede cihazı üreten firmanın daha kısa sürede problemi çözmesi ve daha az harcama yaparak daha çok kar etmesi anlamına gelir. Aynı zamanda yeni üretilen ürünlerinde daha ucuza mal edilmesine olanak verir.
- 4) Test senaryolarının yazılması ve koşturulması daha az test mühendisliği gerektirir.
- 5) Seri üretimde üretilen cihazların özellikle karmaşık tümleşik devre elemanı barındıran devre kartlarının hızlı ve etkin bir biçimde üretilmesi hataların, tasarım aşamasında ortaya çıkmasını sağlar.
- 6) Arızaların ve hataların erken tespiti sahadan geri dönen cihaz ve garanti kapsamında ki cihazların sayısını azaltır.

BÖLÜM 3. KULLANILAN TEST YÖNTEMLERİ



Şekil 3.1. Elektronik devre kartı test düzenekleri

3.1. Devre İçi Test (In- Circuit Test(ICT))

Elektriksel bir sonda kullanarak kalabalık bir baskılı devre kartının (PCB) doğru olarak üretilip üretilmediğini anlamak amacıyla üzerindeki elemanların ve bağlantıların kısa-devre, açık-devre, direnç, kapasitans ve diğer temel niceliklerini ölçerek yapılan bir yapısal test türüdür. 'Çivili yatak (Bed -of -nail)' türünde bir test adaptörü ve özel bir test sistemi kullanılarak yapıldığı gibi, adaptörsüz bir test düzeneği ile de yapılabilir. Çivili yatak türünde bir test adaptörü, test edilen baskılı devre kartı üzerindeki test noktalarıyla temas edecek şekilde akrilik bir plaka üzerindeki deliklerin içine yerleştirilmiş, ayrıca diğer uçları teller aracılığıyla bir ölçüm ünitesine bağlanmış çok sayıda test çivisinden oluşan elektriksel bir test donanımdır.

Kısa devre testi yapması, göreceli olarak hızlı test programı geliřtirmesi gibi avantajlarının yanında test demirbařlarının, bakımı ve depolanmasının pahalı olması, yerleřim deęiřikliklerinde yeni demirbařlara ihtiya duyması, prototiplendirme boyunca genellikle kullanılmaması ve modern pcb'ler iin sınırlı test eriřiminin olması gibi dezavantajlara sahiptir.

Elektronik kart boyutlarının küülerek yeterli test iin eriřim alanı bulunmaması ve yeni tümleřik devre elemanlarının paket tiplerinin geliřmesiyle birlikte ortaya ıkan eriřim sorunları yüzünden yerini, sınır tarama test teknolojileri almaya bařlamıřtır. Adaptörsüz bir test düzeneęi kullanılması istenirse, ivili yatak teknięi yerine flying probe test düzeneęi dâhil edilir [2, 3].

3.2. Flying Probe Test

ivili yatak teknięi gerektirmemesi, göreceli olarak hızlı test programı geliřtirebilme gibi avantajlara sahip olmasının yanında, seri üretim testlerinde genellikle kullanılmaması, test yürütme zamanının ok uzun olması, yerleřim deęiřikliğinde test programında modifikasyonlar yapmak gerektirmesi, modern PCB'ler iin sınırlı test eriřimi olması gibi dezavantajlara sahiptir [3-5].

3.3. Fonksiyonel Test (Functional Test)

ok katlı baskılı devre katlarında katlar arası baęlantı yollarının kontrolünü doęrulama test hızı ok iyidir. Ancak test geliřtirme zamanının ok uzun olması, tüm fonksiyonların test edilmesinin imkânsız olması gibi dezavantajlara sahiptir [3-5].

3.4. Üretim Hata özümleyici (Manufacturing Defect Analyser)

Kısa devre testi yapması, hızlı test programı geliřtirebilme gibi avantajlara sahip olmasının yanında, test demirbařlarının bakımı ve depolanması pahalı olması, prototiplendirme boyunca genellikle kullanılamaması, modern PCB'ler iin sınırlı test eriřimi olması gibi dezavantajlara sahiptir.

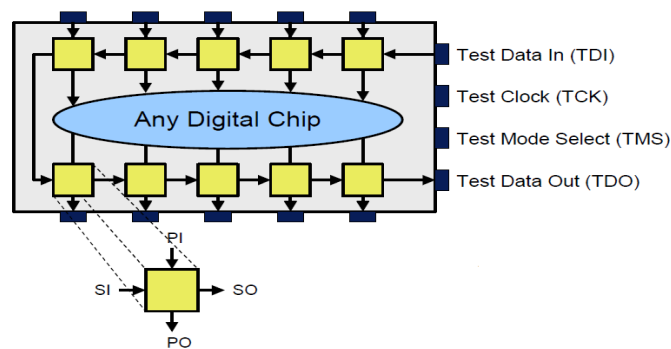
3.5. Otomatik Optik / X-Işını Tarama (AOI / AXI)

Çivili yatak tekniği gerektirmemesi, göreceli olarak hızlı test programı geliştirebilme, elektriksel özelliklere ihtiyaç duymaması gibi avantajlarının yanında, test yürütme zamanının çok uzun olması, sadece görünür özelliklerin doğrulanması(AOI), çok pahalı test sistemleri(AXI) olması gibi dezavantajlara sahiptir [3-5].

3.6. JTAG

Gelişen teknolojiyle beraber elektronik devre kartlarında kullanılan tümleşik devre bileşenlerinin işlevsel ve fiziksel özelliklerinin değişmesine karşın geliştirilen Jtag test sistemleri günümüzde tercih edilmeye başlamıştır. Jtag test sistemlerinde harici güç beslemesine gerek yoktur. Kısa devre testi, açık devre testi yapması, taşınabilirlik özelliği, tümleşik devre elemanlarını için birkez oluşturulan komut dosyalarının başka projelerde de yeniden kullanılabilir olması ve diğer test sistemlerine göre daha ucuz olması gibi avantajlara sahiptir. Bunun yanında, henüz yeterince yaygınlaşmaması ve buna bağlı olarak da kullanılan programlarda bazı ufak eksiklerin olması gibi dezavantajlara sahiptir.

3.6.1. Sınır tarama ilkesi



Şekil 3.2. Herhangi bir tümleşik devre elemanında bulunan sınır tarama hücresi

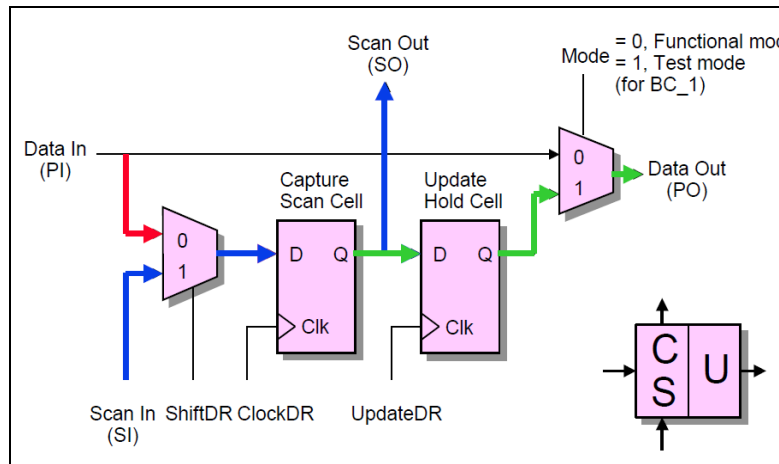
Şekil 3.2' de herhangi bir tümleşik devre elemanında bulunan sınır tarama hücreleri gösterilmiştir. Her bir sınır tarama hücresinde aşağıdaki özellikler bulunur:

- 1) Yakalama (Capture): paralel giriş (PI) üzerindeki verinin yüklenme işlemidir.
- 2) Güncelleme (Update): paralel çıkış (PO) üzerindeki verinin yüklenme işlemidir.
- 3) Seri Tarama (Serially Scan): verinin seri çıkıştan (SO) seri girişe (SI) transferi işlemidir.
- 4) Transparently: PI 'dan PO'ya geçiş işlemi bulunur.

Yakalama: Cihazın giriş pinleri üzerindeki sinyal değerlerini giriş hücreleri içine paralel yükleme işlemidir ve sinyal değerleri lojik çekirdekten cihazın çıkış pinlerine geçerek çıkış hücreleri içine yüklenmektedir.

Güncelleme: Paralel bir yük boşaltma işlemidir. Çıkış scan hücreleri içindeki mevcut sinyal değerlerinin cihazın çıkış pinlerine doğru dağıtılmasıdır [3, 6, 7].

3.6.2. Tipik bir sınır tarama hücresinin yapısı



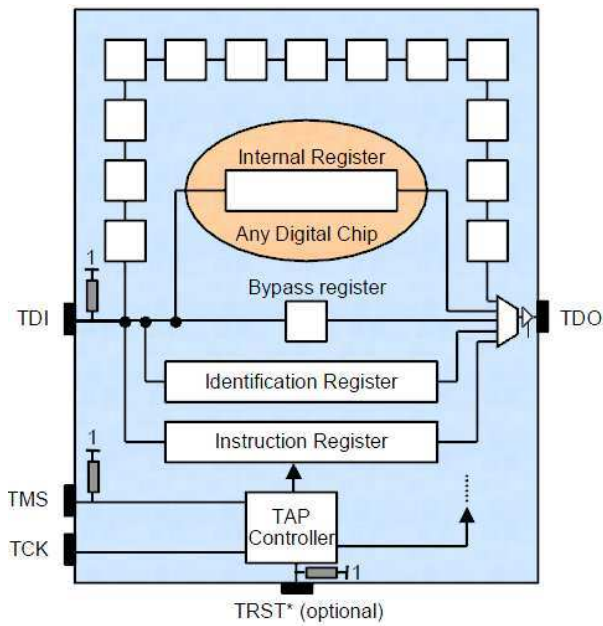
Şekil 3.3. Tipik bir sınır tarama hücresinin yapısı

Şekil 3.3' de tipik bir Sınır tarama hücresinin yapısı gösterilmiş olup, hücrede 4 tip çalışma modu vardır.

- 1) Normal Mod: Veri girişinden' den veri çıkışına' a olan çalışma şeklidir.
- 2) Güncelleme Modu: Güncelleme tutma hücresin' den veri çıkışı 'a olan çalışma şeklidir.
- 3) Yakalama Modu: Veri girişi sinyali yakalama tarama hücresi içine doğru yönelir ve değeri bir sonraki Clock DR tarafından yakalanır. Clock DR TCK'nın bir türevidir.

Öteleme Modu: Öteleme modu süresince yakalama taraması hücresinden bir tanesi olan tarama çıkış hücresinden bir sonraki yakalama taraması hücrelerinden tarama girişine geçer [3, 6, 7].

3.6.3. IEEE 1149.1 eleman mimarisi



Şekil 3.4. IEEE 1149.1 eleman mimarisi

JTAG organizasyonunun 1990 yılında kurulması sırasında yapılan müzakereler sonucunda JTAG temel mimarisi belirlenmiştir. Şekil 3.4' de IEEE 1149.1 Jtag eleman mimarisi ortaya çıkmıştır.

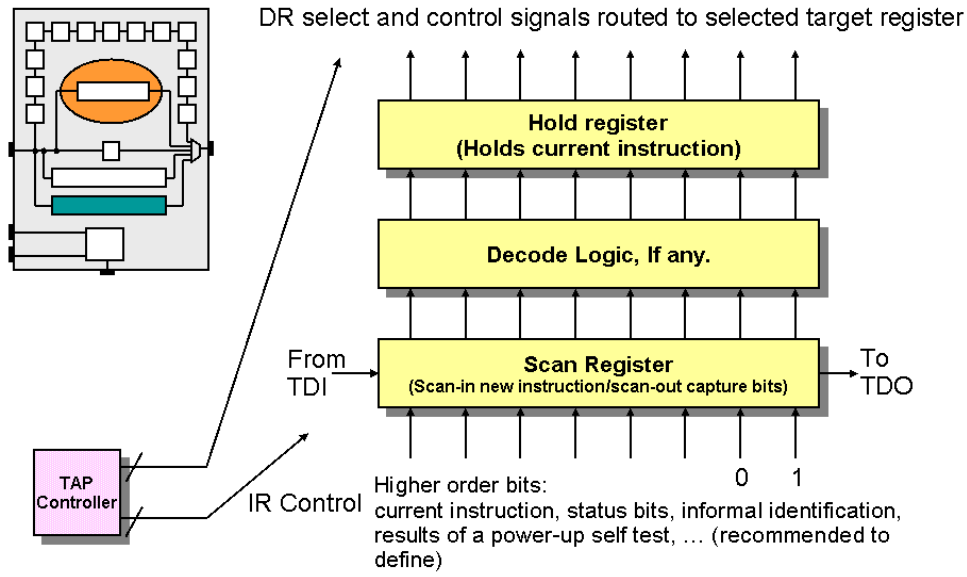
Şekil 3.4' de gösterilenler;

- 1) 4 test pini vardır: TDI, TDO, TMS, TCK ve opsiyonel olarak TRST* test pini.
- 2) Cihaz üzerindeki bir Sınır tarama hücresi; cihazın birincil giriş ve çıkış pinlerine seri bir sınır tarama yazmaç formunda, dâhili olarak bağlıdır.
- 3) Sonlu durum makinesi TCK, TMS ve TRST* girişleri ile TAP kontroller bulunur.
- 4) Şuan ki komutu saklamaya yarayan Bir n –bit ($n \geq 2$) komut yazmacı (Instruction register(IR)) bulunur.
- 5) 1 –bitlik Bypass yazmacı bulunur.
- 6) Opsiyonel olarak cihazın kalıcı kimlik bilgilerini yüklemek için 32 –bitlik bir kimlik yazmacı bulunur.

Herhangi bir zamanda, sadece tek bir yazmaç TDI' dan TDO' ya bağlıdır(Örneğin; IR, bypass, sınır tarama, tanılama veya çekirdeğe dâhil olan uygun yazmaç). Seçili yazmaç IR'nin çözülmüş çıkışı olarak tanımlıdır. Kesinlikle Exttest(seçili olacak yazmaç, sınır tarama yazmacı) gibi komutlar zorunlu olup, Idcode (seçili olacak yazmaç, tanılama yazmacı) gibi komutlar opsiyoneldir [1, 3, 4, 5].

3.6.4. Komut yazmacı (Instruction register)

Komut yazmacı (IR) bir öteleme kısmına sahiptir. TDI ve TDO' ya bağlı olup, tutma kısmı aşağıdaki Şekil 3.5' de gösterildiği gibi akım komutunu tutmaya yarar.



Şekil 3.5. Komut yazmacı

Buradaki bazı çözülmüş lojikler iki kısım arasında, farklı komutların sayısı ve yazmacın genişliğine bağlı olabilir. IR 'deki kontrol sinyalleri TAP denetleyicisinden başlatılır veya IR öteleme kısmının sonunda bir öteleme girişinden öteleme çıkışına ya da öteleme kısmının içindekilerin tutma kısmına geçmesine neden olabilir. IR en az 2 bit uzunluğunda olmasına rağmen maksimum uzunluğu tanımlanmamıştır (Zorunlu olan bypass, sample, preload, extest komutlarına izin verir) [1, 3, 4, 5].

3.6.5. Standart komutlar

Tablo 3.1. Standart komut çeşitleri

	Komutlar	Seçili Veri Yazmacı
Zorunlu	EXTEST	Sınır Tarama (Tüm '0' bit kodları)
	BYPASS	Bypass (İklendirme durumu. Tüm '1' bit kodları)
	SAMPLE	Sınır Tarama (Cihazdaki fonksiyonel mod)
	PRELOAD	Sınır Tarama (Cihazdaki fonksiyonel mod)
Opsiyonel	INTEST	Sınır Tarama
	IDCODE	Komut (İklendirme durumu hazırda)
	USERCODE	Tanımlama (PLD için)
	RUNBİST	Sonuç
	CLAMP	Bypass(Çıkış pinleri güvenli modunda)
	HIGHZ	Bypass(Çıkış pinleri high-z modunda)

NOT: Kullanılmayan tüm komutlar varsayılan durumda bypass olmalıdır.

3.6.6. Zorunlu komutlar

3.6.6.1. Extest komutu:

Sınır Tarama yazmacı seçilir. Devre kartı üzerindeki bağlantı yapılarını belirlemede kullanılır. Cihaz test modunda iken, sınır tarama hücreleri çıkışlarının yazdırılmasına izin verir. Extest komutu sınır tarama yazmacı çalıştırıldığında, bağlantı testini hazırlamak için seçilir. Extest komutu tüm 'sıfır' olan kodlarda kullanılmaktadır [1, 3, 4, 5].

3.6.6.2. Bypass komutu

Bypass yazmacı seçilidir. Bir cihazdan diğeri bir cihaz arasında zincir oluşturmada hızlı bir yoldur. Bypass yazmacı çalıştırıldığında tüm '1' olan kodlar Bypass komutu olarak atanmalıdır. Bypass yazmacı TDI ve TDO pinleri arasında bulunur [1, 3, 4, 5].

3.6.6.3. Sample ve preload komutu

Sınır tarama yazmacı seçilir. Sınır tarama hücrelerinin değerleri bilindiğinde 'Preload' komutu kullanılır. Sınır tarama hücrelerinin içerisinde sinyaller çalışma modu(mission- mode) durumunda olduğunda 'Sample' komutu kullanılır. Cihaz fonksiyonel modda olup, test modunda değildir [1, 3, 4, 5].

3.6.7. Opsiyonel komutlar

3.6.7.1. Intest komutu

Sınır tarama yazmacı seçilir. Devre elemanının modellenmesinde kullanılır. Cihaz test modunda iken sınır tarama hücreleri çıkışlarının yazdırılmasına izin verir [1, 3, 4, 5].

3.6.7.2. Idcode komutu

Tanımlama yazmacı seçilir. 32 bitlik tanımlama kodu kullanılır(üretici kodu, parça kodu, sürüm kodu) ve TDO' ya yollar [1, 3, 4, 5].

3.6.7.3. Usercode komutu

Tanımlama yazmacı seçilir. Çift karakterli elemanlar için alternatif bir 32 bit tanımlama kodu kullanır. Örnek olarak PLD'ler, karmaşık programlanabilen lojik elemanlar verilebilir [1, 3, 4, 5].

3.6.7.4. Runbist komutu

Harici BIST(lojik veya hafıza) başlatmak için kullanılan kontrol yazmaçlarıdır. 'Runbist' önemli bir opsiyonel komuttur. Çünkü harici self-test yapıları bu yazmaçlarla geliştirilir. Runbist standartları oluşturur. Elemanın self testinde geçme/kalma bilgilerini tuttuğu bir sonuç yazmacı olarak kullanılır [1, 3, 4, 5].

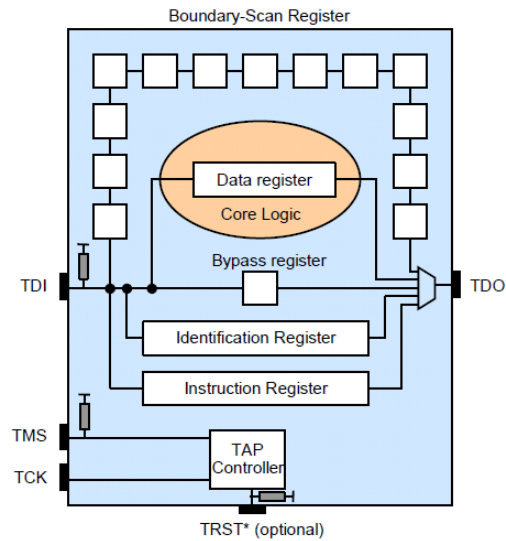
3.6.7.5. Clamp komutu

Bilinen değerlerle sınır tarama hücrelerinin içine 'Preload' komutu kullanılarak ilk yükleme yapılır. 'Clamp' komutu seçili olan bypass yazmacını terk ederek bu değerleri çıkış pinlerine sürer [1, 3, 4, 5].

3.6.7.6. High-z komutu

Kontrol -z değerlerinin kontrol High-z hücrelerinin içerisine ilk yüklenmesi 'Preload' komutu kullanılarak yapılır. High- z bu değerleri, high-z sürücü durumuna ulaşmasına sebep olan 3 durumlu denetçiye sürer, fakat bypass yazmacını seçili yazmaç olarak bırakır [1, 3, 4, 5].

3.6.8. Test erişim noktası (Test access point (TAP))



Şekil 3.6. Test erişim noktası

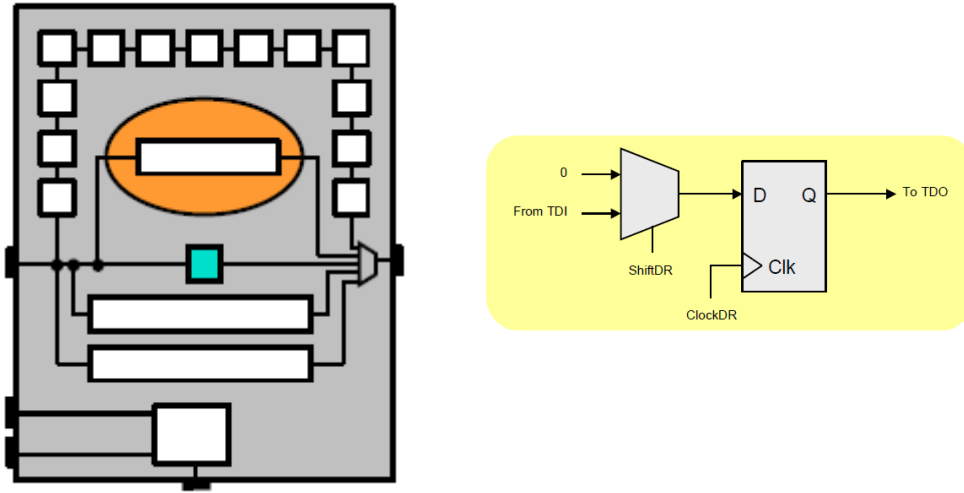
Zorunlu Terminaller:

- 1) Test Verisi Girişi (Test Data In (TDI)) :Seri test verisi olup, varsayılan değeri 1'dir.
- 2) Test Verisi Çıkışı (Test Data Out (TDO)): Seri çıkış test verisi olup, Z' nin varsayılan değeri ile aynıdır ve sadece öteleme işlemi süresince aktiftir.
- 3) Test Modu Seçici (Test Mode Select (TMS)):Seri giriş kontrol sinyali olup, varsayılan değeri 1'dir.
- 4) Test Saat (Test Clock (TCK)): Kendine özgü test zaman darbesi olup, herhangi bir uygun frekansta çalışır.(genelde harici test sisteminin maksimum TCK frekansı tarafından tanımlanır ve devre kartı üzerindeki sınır tarama elemanın TCK frekansı en yavaş olanıdır [1, 3, 4, 5].

Opsiyonel Terminal:

- 1) Test Reset (TRST*): Reset görevindeki eş zamansız bir TAP kontrol noktası olup, varsayılan değeri 1'dir.

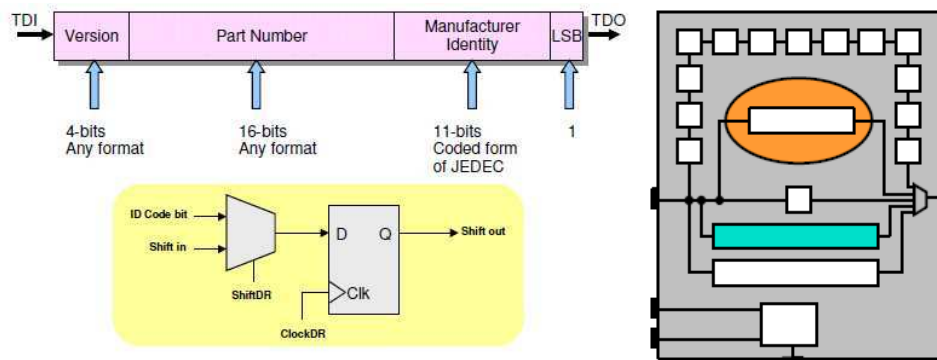
3.6.9. Bypass yazmacı



Şekil 3.7. Bypass yazmacı

'Bypass' komutu tarafından seçilmiş 1 –bit öteleme yazmacıdır. Lojik 0' donanımsal olarak bulunur. Test lojik /reset durumunda eğer tanılama yazması hazır değilse, bypass yazmacı varsayılan yazmaçtır [1, 3, 4, 5].

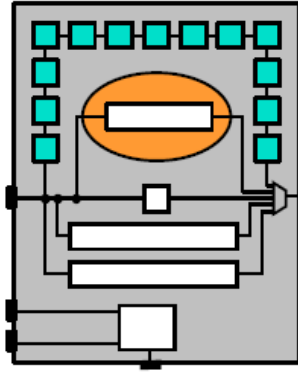
3.6.10. Tanılama yazmacı (Identification register)



Şekil 3.8. Tanılama yazmacı

32-bitlik öteleme yazmacıdır. 'Idcode' ve 'Usercode' komutları tarafından seçilir. Çıkışa paralel değildir. Elemanın kendini ve parça numarasını tanıma işleminde kullanılır. Eğer tanılama yazmacı varsa 'Idcode' komutu, açma komutudur. Aksi takdirde bypass yazmacı etkindir [1, 3, 4, 5].

3.6.11. Sınır tarama yazmacı(Boundary Scan Register)



Şekil 3.9. Sınır tarama yazmacı

Sınır tarama yazmacısını oluşturan sınır tarama hücreleri üzerinde;

- 1) Giriş portları
- 2) Çıkış portları
- 3) Tek yönlü(I/O) portlarının kontrol hatları
- 4) Üç durumlu (0,1,Z) portları bulunur.

Exttest, Intest, Preload ve Sample komutları tarafından seçilir [1, 3, 4, 5].

3.7. Sınır Tarama Tanımlama Dili (Boundary Scan Description Language (BSDL))

3.7.1. Giriş

- 1) IEEE 1149.1b standardıdır.
- 2) Amaçları;
 - a. Sınır tarama, elemanlar için standart bir dildir.

- b. Sınır tarama, tasarım çalışmasını kolaylaştırır(Otomatik sentez özelliği olduğu için).
 - c. Test oluşturma, analiz ve arıza tanılamada, yazılım araçları içerisinde kolayca birleştirilir.
 - d. Sınır tarama tasarımıyla insan hatası olasılığı azaltılmış olur.
- 3) BSDL;
- a. 1149.1 standartlarına uygun sınır tarama, elemanın özelliklerinin test edilebilirliğini tanımlar.
 - b. Sayısal devrelerinin tasarlanması ve denenmesi amacıyla yaygın olarak kullanılmakta olan donanım tanımlama dili VHDL' nin bir alt kümesidir.
 - c. 1149.1 standartları için zorunlu olan tasarım komutlarının ve lojik sistemin içerdiği bir dildir.
 - d. BSDL, VHDL ortamında kısmi veya tam olarak kullanılabilir.
- 4) BSDL üç kısım içerir: Varlık(entity), Paket(package) ve Paket Büyüklüğü(package body).
- 5) 1149.1 standardı değişmediği sürece paket bilgisini değiştirmeye gerek yoktur.

Eğer tasarımcılar kendi paketlerini oluşturursa, onlar tamamlanmış hücre tanımlarını, uygun BSDL paket özelliklerine ve paket içindeki listedeki hücre isimlerine göre koymalıdır [1, 3, 5].

3.7.2. BSDL içerdiği elemanları

Bir elemanın BSDL tanımı aşağıda maddeler halinde yazılmış olan bilgileri içerir:

- 1) Varlık tanımları
- 2) Genel parametre
- 3) Lojik port tanımı
- 4) Kullanım ifadesi
- 5) Pin haritası
- 6) Tarayıcı port kimliği

- 7) Komut yazmacı tanımı
- 8) Yazmaç erişim tanımı
- 9) Sınır tarama yazmacı tanımı

3.7.2.1. Varlık tanımları(Entity descriptions)

Varlık(entity) ifadesi elemanın sahip olduğu isimdir(Örneğin SN74ABT8245... vb). Bir varlık tanımı, bir varlık ifadesi ile başlar ve bir sonlandırma ifadesi ile sonlandırılır.

```
entity XYZ is
  {'elemana ait tanım ifadesi buraya yazılır'}
end XYZ
```

3.7.2.2. Genel parametre (Generic parameter)

'Genel' ifadesi elemana ait bilginin paket tipi (Örneğin 'DW' ...vb) gibi varsayılan olarak verilen parametredir.

```
generic (PHYSICAL_PIN_MAP: string := "DW");
```

3.7.2.3. Lojik port tanımı (Logical port description)

Lojik port tanımı I/O pinlerinin lojik isimlerini ve onların tanım bilgilerini verir. Giriş, çıkış, tek yönlü, ... gibi

```
port (OE: in bit;
      Y:out bit_vector(1 to 3);
      A:in bit_vector(1 to 3);
      GND, VCC, NC: linkage bit;
      TDO: out bit;
      TMS, TDI, TCK: in bit);
```


3.7.2.4. Kullanım ifadeleri (Use statements)

Kullanım ifadesi paketler ve paket özellikleri içinde harici tanımlamaları bulmak için kullanılır.

```
use STD_1149_1_1994.all
```

3.7.2.5. Pin haritası (Pin mapping)

Pin haritası ayrıntılı bir eleman paketinin fiziksel pinleri üzerindeki lojik sinyallerin haritasını görmemizi sağlar.

```
attribute PIN_MAP of XYZ: entity is
PHYSICAL_PIN_MAP;
constant DW: PIN_MAP_STRING:=
“OE:1, Y:(2.3.4), A:(5.6.7), GND:8, VCC:9, “&
“TDO:10, TDI:11, TMS:12, TCK:13, NC:14”;
```

3.7.2.6. Tarayıcı port kimliği (Scan port identification)

Tarayıcı port kimlik ifadesi elemanın test erişim portlarını tanımlar.

```
attribute TAP_SCAN_IN of TDI: signal is TRUE;
attribute TAP_SCAN_OUT of TDO: signal is TRUE;
attribute TAP_SCAN_MODE of TMS: signal is TRUE;
attribute TAP_SCAN_CLOCK of TCK: signal is (50.0e6,
BOTH);
```

3.7.2.7. Komut yazmacı tanımı (Instruction register description)

Komut yazmacı tanımı komut yazmacının elemana bağlı karakterlerinin kimliğini oluşturur.

```
attribute INSTRUCTION_LENGTH of XYZ: entity is 2;
attribute INSTRUCTION_OPCODE of XYZ: entity is
```

“BYPASS (11), “&
 “EXTEST (00), “&
 “SAMPLE (10) “;
 attribute INSTRUCTION_CAPTURE of XYZ: entity is
 “01”;

3.7.2.8. Yazmaç erişim tanımı (Register access description)

Yazmaç erişim tanımı her bir komutun TDI ve TDO arasındaki yerini tanımlar.

attribute REGISTER_ACCESS of XYZ: entity is
 “BOUNDARY (EXTEST, SAMPLE), “&
 “BYPASS (BYPASS) “;

3.7.2.9. Sınır yazmaç tanımı (Boundary register description)

Sınır yazmaç tanımı sınır tarama hücrelerindeki hücre tipi ve ortak kontrol hakkındaki bilgi listelerini içerir,

attribute BOUNDARY_LENGTH of XYZ: entity is 7;
 attribute BOUNDARY_YAZMAÇ of XYZ: entity is
 “0 (BC_1, Y(1), output3, X, 6, 0, Z), “&
 “1 (BC_1, Y(2), output3, X, 6, 0, Z), “&
 “2 (BC_1, Y(3), output3, X, 6, 0, Z), “&
 “3 (BC_1, A(1), input, X), “&
 “4 (BC_1, A(2), input, X), “&
 “5 (BC_1, A(3), input, X), “&
 “6 (BC_1, OE, input, X), “&
 “6 (BC_1, *, control, 0)”;

3.8. Kullanılan Test Sistemlerinin Özelliklerinin Bir Arada Verilmesi

Elektronik devre kartlarının test edilmesi amacıyla kullanılan test sistemlerinin desteklediği özellikler bir araya getirilip, Tablo 3.2’ de gösterilmektedir. Tablo oluşturulurken, Jtag test sisteminin desteklediği özellikler baz alınmış olup, diğer test sistemlerini oluşturan özellikler buna göre uyarlanmıştır. Tablo 3.2’ de

‘Özellikler’ bölümünde gösterilen numaralar aşağıda ‘Özellikler’ alt başlığı adı altında verilmiş olan özelliklerin sırasını belirtmektedir. Tablo 3.2’ de ‘Özellikler’ ile buna karşılık gelen test sistemlerinin çakıştığı bölümler içerisinde yazılmış olan ‘E’, evet bu özelliği destekliyor. ‘H’ ise, hayır bu özelliği desteklemiyor anlamındadır [3, 4, 5, 11].

Tablo 3.2. Kullanılan test sistemlerinin desteklediği özelliklerin gösterilmesi

ÖZELLİKLER	KULLANILAN TEST SİSTEMLERİ					
	Devre İçi Test Sistemi (ICT)	Flying Probe Test Sistemi (FPT)	Üretim Hata Çözümleyici (MDA)	Otomatik Optic / X-Işını Tarayıcı (AOI / AXI)	Fonksiyonel Test Sistemi (FT)	JTAG Test Sistemi (JTAG)
1	E	E	E	E	E	E
2	E	E	E	E	E	E
3	E	E	E	H	E	E
4	H	E	H	H	H	E
5	H	E	H	E	H	E
6	E	H	H	H	E	E
7	H	E	H	E	H	E
8	H	H	H	H	H	E
9	H	E	H	E	H	E
10	E	E	E	E	E	E
11	H	H	H	H	H	E
12	H	H	H	H	H	E
13	H	H	H	H	H	E
14	H	H	H	E	H	H
15	H	E	H	E	H	E
16	E	E	E	E	E	E
17	H	H	H	E	H	E
18	H	H	H	H	H	E

ÖZELLİKLER

- 1) Kısa devre testi yapabilmektedir.
- 2) Açık devre testi yapabilmektedir.
- 3) Elektronik devre kartları üzerinden test programı oluşturabilmektedir
- 4) Herhangi bir elektronik devre bileşeni için oluşturulan test kurulumları ve test dosyalarının, bileşenin kullanıldığı başka devreler içinde kullanabilmektedir.
- 5) Göreceli olarak hızlı test programı geliştirebilmektedir.
- 6) Test yürütme hızlarının yüksektir.
- 7) Karmaşık devre bileşenlerini test edebilmektedir.
- 8) Flash, işlemci gibi hafıza bileşenlerini programlayabilmektedir.
- 9) Test demirbaş ekipmanlarına (Ör: Çivili yatak(Bed- of-nail)) ihtiyaç duymamaktadır.
- 10) Test sonuçlarını izleyebilmektedir(DFT).
- 11) Bilgisayar üzerinden kontrol edilebilmektedir.
- 12) Kolayca taşınabilmektedir (ağır olmaması).
- 13) Kurulum, bakım ve onarımının kolaydır.
- 14) Elektriksel özelliklere ihtiyaç duymamaktadır.
- 15) Prototiplendirme sürecinde kullanılabilir.
- 16) Seri üretimde kullanılabilir.
- 17) FPGA, CPLDs gibi paket tiplerine sahip tümleşik devre bileşenlerine erişebilmektedir.
- 18) Kurulum, bakım ve onarım maliyetlerinin uygundur.

BÖLÜM 4. ÖRNEK UYGULAMA ÜZERİNDEN JTAG TEST SİSTEMİ OLUŞTURULMASI VE TEST SONUÇLARININ İNCELENMESİ

4.1. Giriş

Bu uygulamanın amacı bir sınır tarama özellikli tümeleşik devre bileşeni içeren karmaşık bir devre için Jtag test sisteminin oluşturularak hata tespit düzeneğinin nasıl kurulacağı ve çalıştırılacağı hakkında temel bilgiler vermektir. Oluşturulan test ortamı XJtag test kiti kullanarak oluşturulmuş olup, örnek uygulamayla birlikte test sisteminin sonuç raporlarının nasıl alınacağı ve yorumlanacağı ile ilgili adımlar anlatılmaktadır [7-10].

1) Örnek Devre Kartı Tanımı

Uygulama demo devre kartı ve devredeki ana komponentlere ait veri föyünde gösterilen bağlantılarla başlar.

2) Proje Oluşturulması

Demo devre kartının XJDeveloper programı üzerinde tanımlanması gösterilecek, hangi tip bilgilere gerek olduğu ve bunların nasıl kullanılacağı anlatılacaktır.

3) Bağlantı Testinin Koşturulması

Demo devre kartında bağlantı testi koşturularak farklı tipteki arızaların Jtag sistemi üzerinden bulunması sağlanacaktır.

4) Basit Devre Testi

Bazı basit komutlar oluşturarak devredeki buton, led gibi bileşenlerinde testi yapılmış olacaktır.

5) Daha Karmaşık Devre Testi

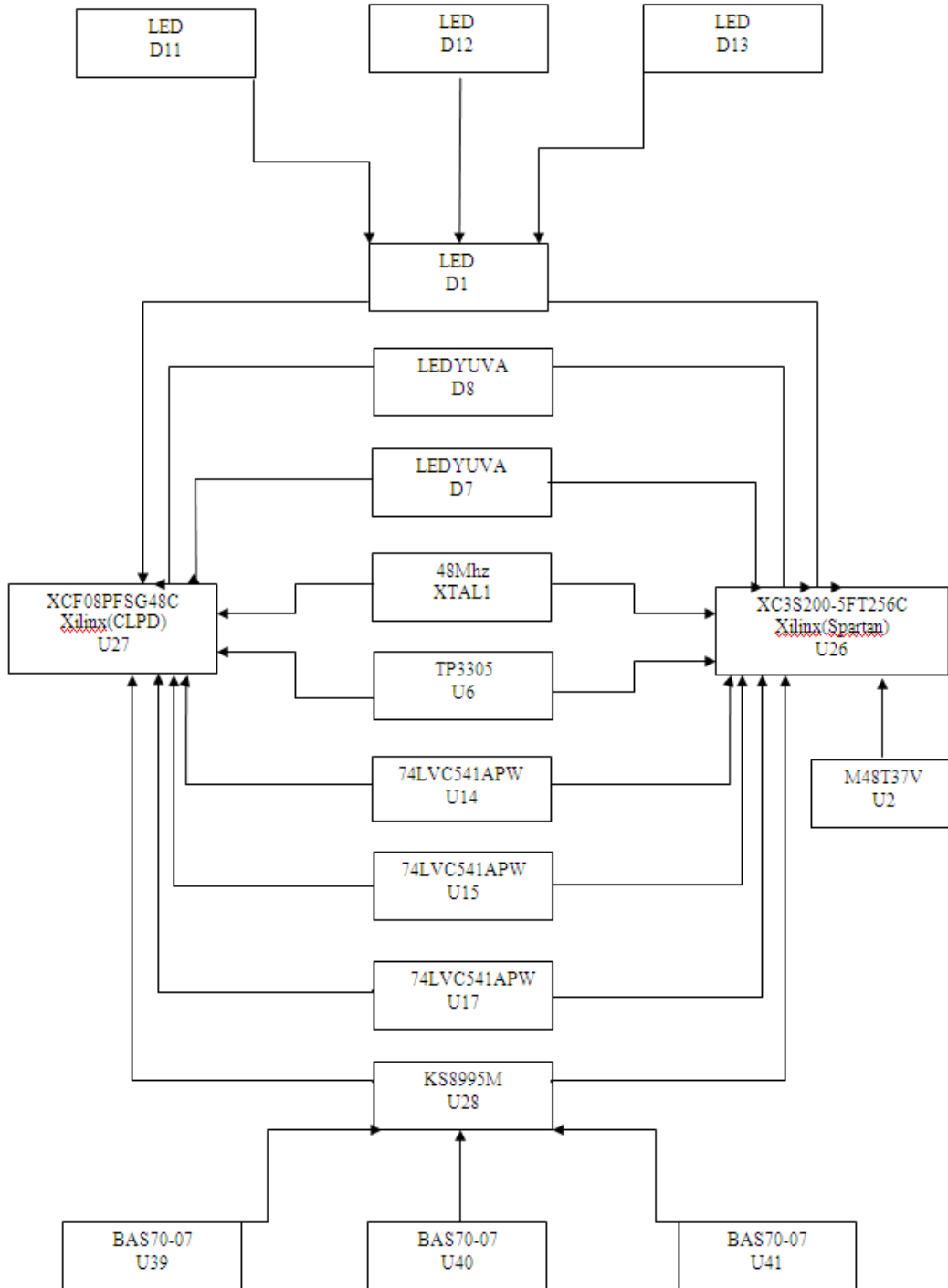
Devrede bulunan SRAM gibi daha karmaşık bir yapıya sahip bileşenler için de standart yazma ve okuma döngüleri gibi bazı komutlar kullanarak basit hafıza testlerinin yapılması sağlanacaktır.

Kullanılan standart hafıza testiyle birlikte bazı standart IIC ara yüz kodları da kullanılarak SRAM ve EEPROM için test kapsamı genişletilecektir.

6) DFT Analiz

Örnek demo devre kartı üzerinden yapılan testlerin sonuçları DFT ilkesine göre yorumlanacaktır. Buna göre devre kartının test edilebilen ve edilemeyen bağlantı noktaları ve tüm devre kartının test edilebilirlik analizi bu ara yüz üzerinden gerçekleştirilecektir.

4.2. Demo Devre Kartının Tanımı



Şekil 4.1. Demo devre kartı blok diyagramı

Devrenin blok diyagramı Şekil 4.1' de gösterilmektedir. Devre kartında 2 adet Jtag elemanı bulunmaktadır. Bunlardan bir tanesi devrede U26 olarak gösterilen Xilinx

spartan serisinden XC3S200-5FT256C, diğeri ise yine devrede U27 olarak gösterilen Xilinx CLPD XCF08PFSG48C Jtag elemanlarıdır. Bu iki Jtag elemanlarının BSDL dosyalarına ihtiyaç vardır ve bunlar 'XC3S200-FT256C.bsd', 'XCF08P-FSG48.bsd' olarak uygulamada verilmiştir. BSDL dosyaları ilgili Jtag tümleşik devre bileşeninin üretici firmasının web sitesi üzerinden temin edilebilmektedir.

Şekil 4.1' de demo devre kartının blok diyagramından da anlaşılacağı gibi elektronik devre kartlarını Jtag sistemler kullanarak test edebilmek için ilk olarak tasarlanan kartlarda sınır tarama özelliği olan elemanlar kullanılmalıdır. Daha sonrasında test ortamını oluşturabilmek için sınır tarama elemanları arasında zincir oluşturulmalı ve bu elemanlara bağlı diğer elemanlar için gerekli komut dosyaları oluşturularak teste dâhil edilmelidir. Böylece kartı oluşturan tümleşik devre bileşenleri arasındaki bağlantı yolları arasında kısa devre, açık devre testleri ile kart üzerinde kullanılan flash, ram gibi daha karmaşık bir yapıya sahip tümleşik devre elemanları test edilmiş olacaktır.

4.3. XJLink Modülünün Devre Kartına Bağlantısı

XJLink modülüne ait Jtag konektörü 20 pinli olup, test edilmesi istenen kartta bulunan Jtag konektörünün yapısına göre test erişim pinleri arasında bağlantı kabloları yardımıyla eşleştirme yapılması gerekmektedir. XJLink modülü devre kartının J9 olan konektörüne bağlanır. İkisi arasındaki bağlantıyı yapacak olan kabloda bu uygulama için kullanacağımız Jtag bağlantı kablosu olup, aşağıda Tablo 4.1' de gösterilen eşleştirme tablosuna göre test erişim pinleri karşılıklı olarak eşleştirilir. Bu bağlantı kablosu test edilecek olan devre kartlarına göre uygun şekilde değiştirilebilir. XJLink modülü ile devre kartı arasındaki bağlantı yapıldıktan sonra XJLink modülünü USB kablo yardımıyla PC'ye bağlamak gerekir. Devre kartına harici bir güç vermeye gerek yoktur. Çünkü devre kartı gücü PC'deki USB portundan XJLink modülü üzerinden alacaktır.

Tablo 4.1. XJlink modülü-demo kartı jtag konektörlerinin eşleştirilmesi

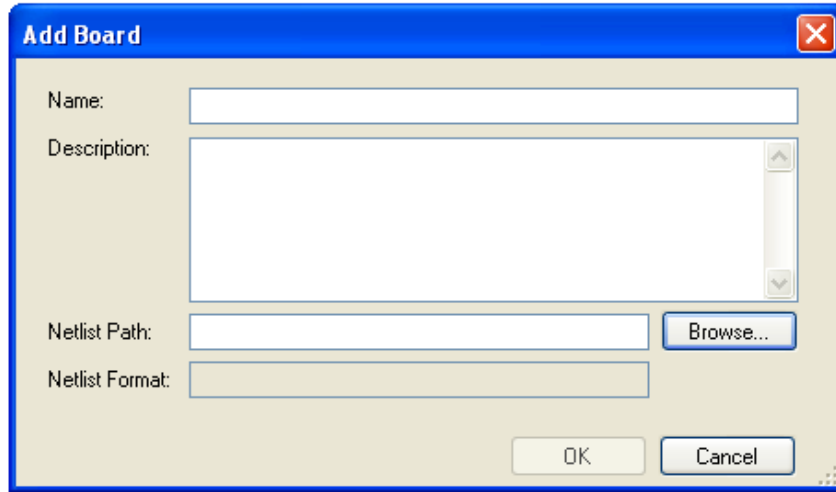
PİN TANIMI	PİN EŞLEŞTİRİLMESİ	
	XJLink Modülü	Devre Kartı
V _{CC}	1	1
GND	4, 6, 8, 12, 14, 16, 18	2
TDI	5	7
TDO	13	6
TMS	7	9
TCK	9	-

4.4. XJDeveloper Programı İle Projenin Oluşturulması

XJDeveloper projesi oluşturabilmek ve XJTAG ile test yapabilmek için devrenin tanım dosyalarının olması gerekmektedir. Burada tanım dosyasından kasıt devrenin netlist dosyası ve JTAG elemanlar için gereken BSDL dosyalarıdır. JTAG özelliği olmayan devre komponentleri için ise programa tanıtılmaları ayrı ayrı yapılmalıdır. İlk adım yeni bir dizin oluşturup burada yeni bir proje oluşturmakla başlar. Genel bir kural devre kartının tasarım dosyaları XJDeveloper projemizi saklayacağımız yerdeki bir alt dizin de bulunmalıdır. Ancak bu dizinin yeri XJTAG için önemli değildir. Oluşturduğumuz dizin içinde yapacağımız projemize bir isim vermek gerekmektedir. Bu uygulamada verilen proje ismi 'tez' dir. Bu işlem yapıldıktan sonra geliştirici programı aynı dizin içinde 4 adet dosya oluşturacaktır. Bunlar:

- 1) tez.xjd : proje ile ilgili notlar ve yorumlar gibi projemiz hakkında genel bilgileri içeren dosyadır.
- 2) tez.xje : test yapmak istediğimiz devre hakkındaki tüm bilgileri içeren dosyadır.
- 3) circuittest.xje : test fonksiyonlarını içeren dosyadır.
- 4) globals.xje : global değişken tanımları içeren dosyadır.

Proje dosyası oluşturulduğunda geliştirici programı otomatik olarak elektronik devre kartı ekle penceresi' ni açacaktır(Şekil 4.2.).



Şekil 4.2.Elektronik devre kartı ekleme penceresi

4.4.1. Netlist dosyasının tanıtılması

Netlist şematik editöründen çıkan bir dosyadır. Netlist dosyası devre kartı üzerindeki tümleşik devre bileşenlerini ve onların nasıl bağlandığını tanımlar.

4.4.2. BOM dosyasının tanıtılması

BOM dosyası devre kartı üzerindeki tümleşik devre bileşenleri hakkında ilaveten bilgi sağlar. Netlist dosyası sisteme tanıtıldıktan sonra BOM dosyasının ayarlarının yapılması test ortamının oluşturulmasında tam bir bilgiye sahip olmak açısından önemlidir. Aşağıda BOM ayarlarının yapılışına örnek olarak uygulamada kullanılan demo devre kartı anlatılmaktadır.

Devre kartı için hazırlanmış olan TEZ.cvs adlı BOM dosyası proje klasöründe bulunmaktadır.

Kurulum(Setup) penceresi altında 'elektronik devre kartı(boards)' seçilmeli ve mouse sağ tıklanarak devre kartı için gerekli olan dosya seçilmelidir.

- 1) 'Boards' bölümünün en altında bulunan 'BOM settings' butonuna basılmalıdır.
- 2) 'Browse' seçeneğiden TEZ.cvs adlı BOM dosyası seçilmelidir.
- 3) 'Next' butonuna basılmalıdır.
- 4) XJDeveloper BOM dosyasından referans bilgilerini alarak devrenin Netlist dosyasını doğru olarak tanımlar. BOM dosyası yüklendikten sonra devrenin tanımlanması ve alan değerlerin bilgisine ihtiyacımız vardır. Bunun için yapılacaklar:
 - a. Devre tanımı için sütunlardaki veri tipleri kısmından 3. Sütun
 - b. Alan Değerleri için yine veri tipleri kısmından 4. Sütun seçilmelidir.
- 5) 'Next' butonuna basılarak seçili veriler alınacaktır.
- 6) Daha sonra 'finish' butonuna basılarak veri alma işlemi tamamlanacaktır.

4.4.3. Güç / toprak(Power / ground) netlerinin tanımlanması

Devre kartı üzerinde güç neti ve netleri ile toprak neti veya netleri 'GND' bulunur. Test ortamı oluşturma işlemine başlandığında test sistemi güç ve toprak netlerini devre kartına ait netlist dosyasına bakarak otomatik olarak algılayacak ve kullanıcı tarafından güç netlerini güç kısmına toprak netlerini toprak kısmı altında gruplaştırılması gerektiğini isteyecektir.

4.4.3.1. TDI ve TDO pinlerinin tanıtılması ve zincir(chain) oluşturulması

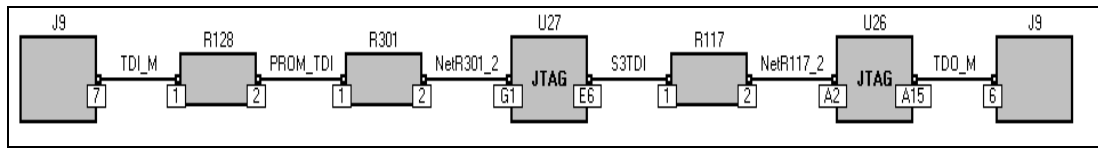
Jtag zincir oluşturma işlemine geçmeden önce kullanılan devre kartı üzerinde bulunan Jtag konektörü üzerindeki TDI ve TDO pinlerinin sisteme tanıtılması gerekmektedir. Çünkü sistem Xjlink modülü üzerinden kullanılan devre kartının TDI olan netine veri gönderip, TDO olan netinden veriyi tekrar alarak zincir oluşturacaktır.

Devre kartımız üzerindeki 'J9' Jtag konektörü olup, devre şemasından TDI ve TDO pinleri tanımlanmalıdır.

Test sisteminin Xjlink modülü üzerinden devre kartının TDI netine göndermiş olduğu veriyi, TDO netinden geri alma işlemi yaparken kullanılan devre kartı

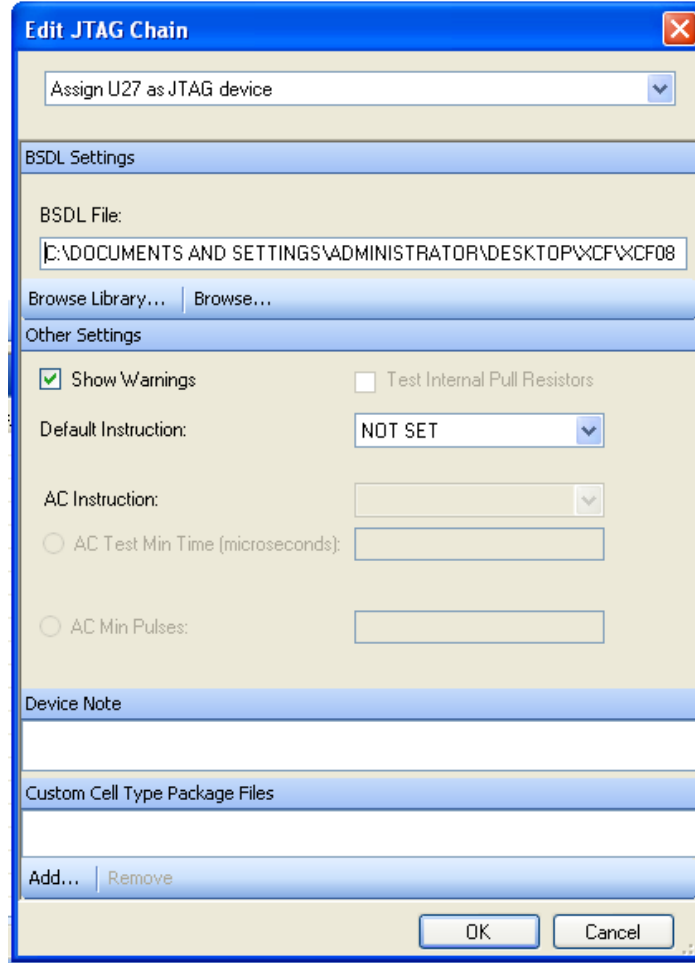
üzerindeki TDI ve TDO netleri arasındaki bağlantıyı oluşturan devre elemanlarını sırasıyla algılayacak ve zincir oluşturabilmesi için kullanıcıdan bu elemanların zincir içinde nasıl bir rol aldığını öğrenmek isteyecektir. Kullanıcı ise, zincir oluşturabilmek için sistem tarafından algılanan bu elemanlarla ilgili tanımlama işlemlerini yaparak zincir oluşturma tamamlanmış olacaktır.

Uygulamada kullanılan demo devre kartı için oluşturulan zincir Şekil 4.3' te gösterilmiştir.



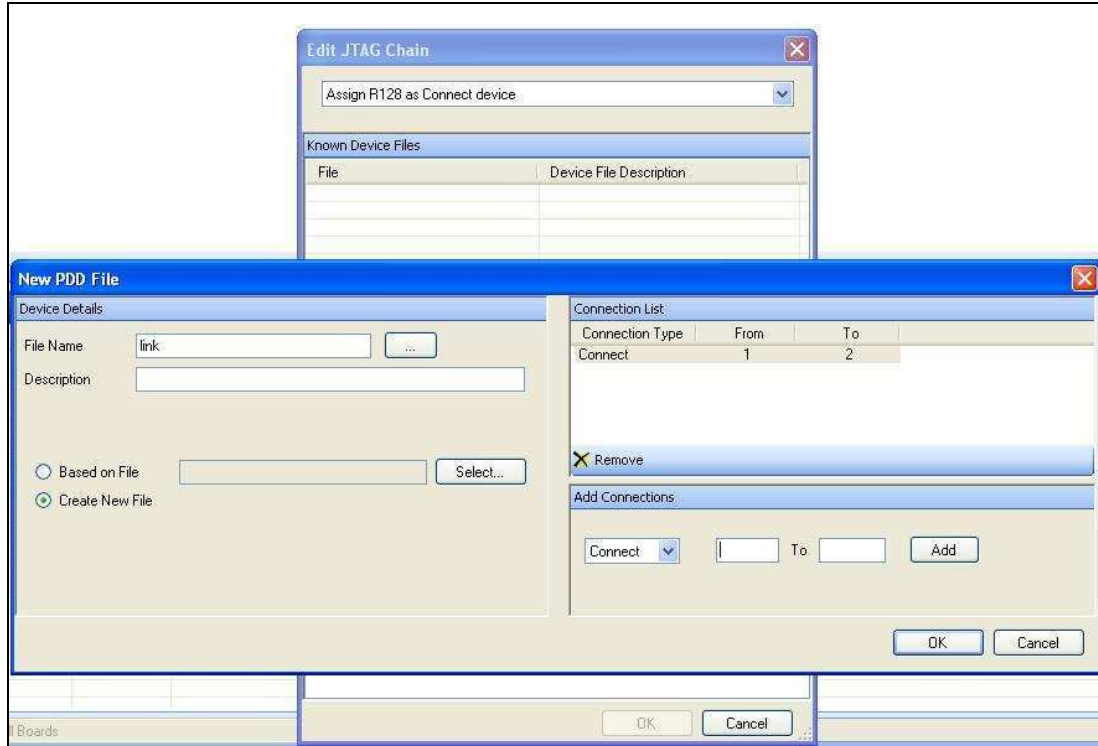
Şekil 4.3. Oluşturulan jtag zincir

Şekil 4.3' te oluşturulan Jtag zincirine bakıldığında, devre kartı üzerindeki J9 konektörünün TDI netine sistem tarafından gönderilen verinin sınır tarama özelliği olan Jtag tümleşik devre bileşenleri ve bazı dirençlerin yer aldığı yol üzerinden geçerek yine J9 konektörünün TDO netinden geri aldığı görülmektedir. Bu nedenle verinin geri alınabilmesi için karşılaşılan bu elemanların sisteme tanıtılması gerekir. U27 ve U26 elemanlarının Jtag elemanları olduğunu bildiğimizden dolayı sisteme tanıtma işleminde bu elemanları Jtag elemanı olarak tanıtmak ve ilgili BSDL dosyalarını sisteme yüklemek gerekmektedir(Şekil 4.4).



Şekil 4.4. Jtag elemanların tanıtılması

Zincir üzerindeki dirençleri sisteme tanıtmak için öncelikle dirençlerin zincir üzerinde bir bağlantı elemanı olduğu gösterilir ve dirençlerin sahip olduğu pinlerle iki neti birbirine bağlayan bir kısa devre elemanı olduğu özelliği sisteme eklenir(Şekil 4.5). Böylece zincir oluşturma işlemi tamamlanmış olacaktır.



Şekil 4.5. Direnç gibi pasif elemanların oluşturulacak zincire tanıtılması

4.4.4. JTAG olmayan elemanlar

Devredeki tüm elemanları Jtag zincire göre sınıflandırmamız gerekmektedir. Atanmamış elemanlar (unassigned devices) listesi Jtag olmayan tümleşik devre bileşenlerinin gösterildiği yer olup, bunların pinlerinden bir veya birkaçı Jtag tümleşik devre bileşenlerine bağlıdır. Bu liste Jtag zincir ve netlist deki bilgilerden çıkartılarak oluşur.

Test sistemi, Jtag olmayan tümleşik devre bileşenleri sisteme sürüldüğünde bağlantı testinden emin olmak için, herhangi yanlış bir hata raporu oluşturmamak için bu tümleşik devre bileşenleri hakkında daha fazla bilgiye ihtiyaç duyar.

Bu tümleşik devre bileşenleri için bileşenin referansları ve BOM dosyasından çıkartılan bilgilere dayanılarak, test sistemi sınıflandırmalar yapılmasını önerir. Örneğin güç ve toprak netlerinin tanımına ve sistemin kurallarına dayanarak test sistemi, dirençleri pull direnç olarak tanımlayabilir.

4.4.5. Ek bağlantılar

Test sistemi basit bağlantı netleri olan kısa devre yapma konektörü (jumper) ve seri direnç gibi bazı atanmamış elemanlarla da ilgilendir. Bunlar pasif bileşenler oldukları için test sisteminin tüm bileşenler için oluşturmuş olduğu sınıflandırmalardan, pasif bileşen özelliği seçilir.

4.4.6. Atanmamış elemanlardan kalanların sınıflandırılması

Atanmamış tümleşik devre bileşenlerinden kalanların her biri aşağıda gösterilen sınıflandırmalara girer:

4.4.6.1. Test bileşenleri

Bir tümleşik devre bileşeninin test bileşeni olarak sınıflandırmak için iki neden aranmalıdır:

- 1) Bileşenin bağlantıları devrede işlevsel olarak kullanılıyorsa test edilmelidir(Örnek: Led).
- 2) Veri netlerinin hafıza bileşenlerine bağlı olması gibi eğer bileşen bazı veya tüm netlerle bağlantılı olup sürülüyorsa test edilmelidir.

Bu sınıflandırmadaki her bileşen, uygun bir XJEase bileşen dosyasına sahip olacaktır.

4.4.6.2. Lojik bileşenler

Bir lojik kapısı veya buffer gibi bir bileşenin işlevi onun gerçek işlevi ile tanımlanıyorsa lojik bir bileşen olarak sınıflandırılmalıdır.

4.4.6.3. Pasif bileşenler

Pull-up, pull-down dirençler, bağlantı kapasiteleri ve türevsel sonlandırma dirençlerinde olduğu gibi seri bağlantı olarak tanımlanan bileşenler devrenin netlerini genişletiyorsa, pasif bileşenler olarak sınıflandırılabilir.

4.4.6.4. Göz ardı edilen bileşenler

Bu bileşenler netleri üzerinden sürülmüyorsa, bu bileşenleri test etmenin de bir anlamı yoktur. Bu sınıflandırmaya dâhil edilen bileşenleri genelde konektörler ve kapasitelerdir.

Yukarıda alt başlıklar halinde anlatılan sınıflandırma tiplerine göre uygulamada kullanılan demo devre kartında bulunan bileşenler uygun sınıflandırmalar ile test sistemine dâhil edilmiştir(Şekil 4.6).

Test Device	File	Warnings	Use Device	Note
D1	led.xje	Yes	Default	
D7	LEDYUVA_3.xje	Yes	Default	
D8	LEDYUVA_3.xje	Yes	Default	
D11	led.xje	Yes	Default	
D12	led.xje	Yes	Default	
D13	led.xje	Yes	Default	
U2	M48T37V.xje	Yes	Default	
U28	KS895M.xje	Yes	Default	
XTAL1	KRISTAL.xje	Yes	Default	

Logic Device	Name	Footprint	File	Warnings	Note
U5	FXL2TD245	MicroPak10	XJTAG Library	Yes	
U14	74541	TSSOP20	Local\XJTAG Logic.ldd	Yes	
U15	74541	TSSOP20	XJTAG Library	Yes	
U17	74541	TSSOP20	XJTAG Library	Yes	
U39	741G06	SOT23-5	XJTAG Library	Yes	
U40	741G06	SOT23-5	XJTAG Library	Yes	
U41	741G06	SOT23-5	XJTAG Library	Yes	

Passive Device	File	Warnings	Note
R42	link.pdd	Yes	
R43	link.pdd	Yes	
R44	link.pdd	Yes	
R51	link.pdd	Yes	
R56	link.pdd	Yes	
R57	link.pdd	Yes	
R63	link.pdd	Yes	
R64	link.pdd	Yes	
R65	link.pdd	Yes	
R66	link.pdd	Yes	
R67	link.pdd	Yes	
R69	link.pdd	Yes	
R73	link.pdd	Yes	
R75	link.pdd	Yes	
R80	link.pdd	Yes	

Şekil 4.6. Devre kartında kullanılan jtag olmayan tümleşik devre bileşenlerinin sınıflandırılması

4.4.7. Pin haritası ayarları

Son adım olarak bağlantı testini çalıştırmadan önce Xjlink modülü ile devre kartı arasındaki haberleşmenin nasıl olacağı ile ilgili pin ayarlarının yapılması işlemini tamamlamak gerekmektedir. Devre kartı üzerindeki JTAG konektörü, J9 olarak tanımlı olan konektör olup, herhangi bir standarda uygun değildir. Şöyle ki XJtag çeşitli tasarımlar için uygun pin ayarları yapmaya olanak sağlamaktadır. Pin ayarları yapıldıktan sonra emin olmak için ' USB Power' seçeneği 'ON' yapılır.

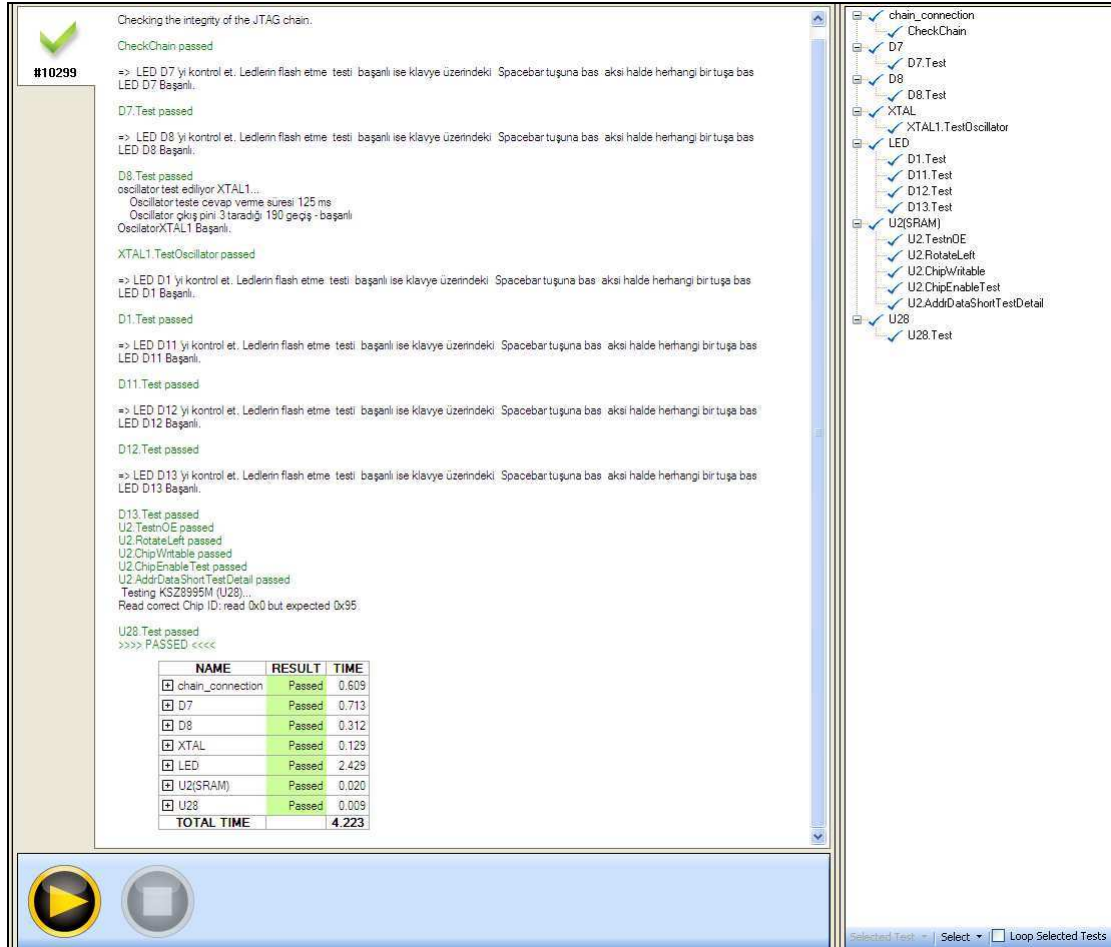
- 1) Test sistemi ekranından 'Pin mapping ' seçilerek üzerine tıklanır.
- 2) Pin 1 güç pini olup, üzerine sağ tıklanarak 'Power ON' seçeneği seçilir.
- 3) Pin 5 üzerine tıklanarak 'TDI' olarak ayarlanır.
- 4) Pin 7 üzerine tıklanarak 'TMS' olarak ayarlanır.
- 5) Pin 9 üzerine tıklanarak 'TCK' olarak ayarlanır.
- 6) Pin 13 üzerine tıklanarak 'TDO' olarak ayarlanır.
- 7) 'Apply ' butonu tıklanır.

4.4.8. Testin çalıştırılması

Jtag zinciri oluşturulduktan sonra, devre kartı üzerindeki Jtag olmayan diğer tümleşik devre bileşenleri ile ilgili sınıflandırmaların da yapılmasıyla kullanılacak olan devre kartı ile ilgili test ortamı tamamlanmış olacak ve testin koşturulmasına geçilecektir.

Uygulamada kullandığımız demo devre kartı ile ilgili test ortamı oluşturulduktan sonra Şekil 4.7' de gösterildiği gibi test koşturma işlemi başlatılır.

Böylece üretilecek olan devre kartları için bir kereye mahsus oluşturan bu test ortamıyla açık devre, kısa devre, stuck at testleri ile flash, ram gibi daha karmaşık yapıya sahip bileşenlere okuma, yazma testleri yaparak elektronik devre kartları üzerindeki hatalar bulunur.



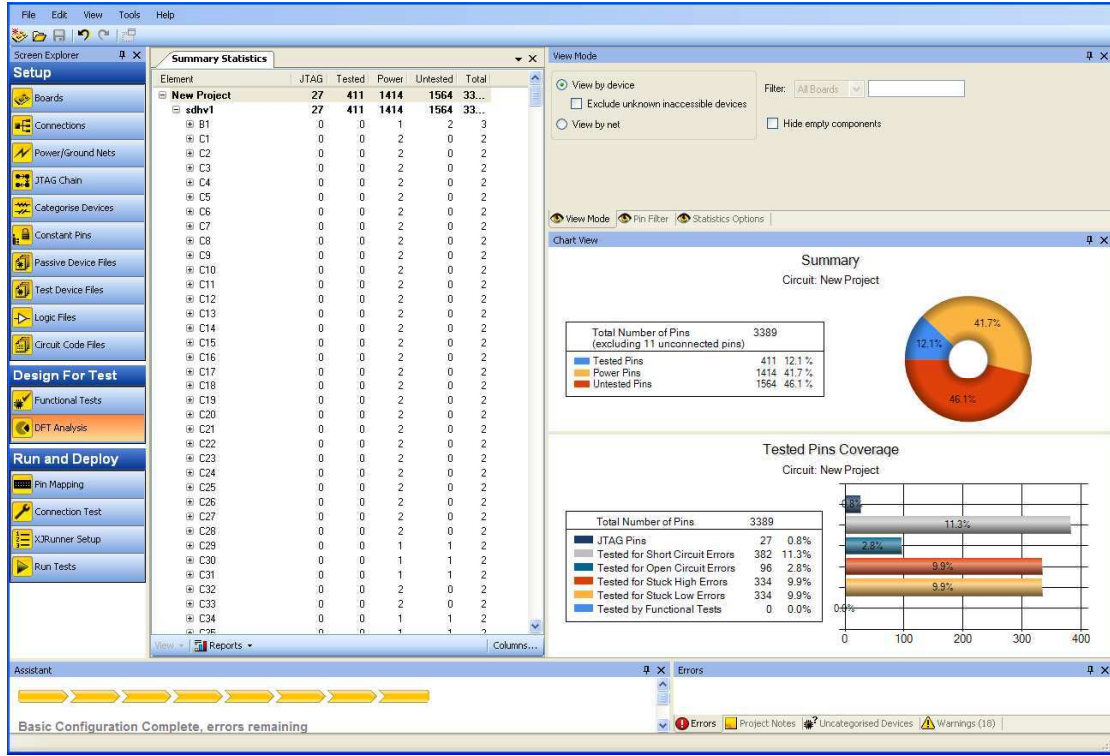
Şekil 4.7. Testin çalıştırılması

Şekil 4.7' de gösterilen demo devre kartı için oluşturulan test kurulumu çalıştırılmıştır. Jtag bileşenleri olan U26 ve U27, test bileşenleri olarak sınıflandırılan D7, D8 çoklu led, D1, D11, D12, D13 smd led, Xtal1 kristal, Sram olan U2, Ethernet kontrol bileşeni U28 ile lojik bileşenler olarak sınıflandırılan U6, U14, U15, U17, U39, U40 ve U41 bileşenleri test edilmiştir. Test sistemi devre kartı üzerinde bulunan bu bileşenlerle ilgili herhangi bir açık devre, kısa devre, stuck hataları, Sram yapısında bulunan hatalar ve lojik hatalara rastlandığında kullanıcıyı uyaracak ve hatanın yerini gösterecektir.

4.4.9. DFT analiz

Test sistemin içerdiği DFT analiz ile teste sokulan elektronik devre kartı üzerinde kullanılan pin sayıları, bu pinlerin sınıflandırılmasını, ne kadarının test edildiği, ne

kadarının test edilmediği gösteren istatistikî bilgileri analiz etmeye yarayan ara yüz programıdır. DFT analiz karmaşık devreler için tasarlanan test sistemleri için gerekli bir ara yüz programı olup, kalite ve üretim açısından çok önemlidir.



Şekil 4.8. DFT analiz

Uygulamada kullandığımız elektronik devre kartının DFT analizi Şekil 4.8' de gösterilmiştir. Analiz sonuçları incelenecek olursa; oluşturulan zincire göre kart üzerinde toplam 3389 pinin olduğu, bunlardan 27 tanesinin Jtag pini, 411 tanesinin test pini, 1414 tanesinin güç pini, 1569 tanesinin de test edilemeyen pin olduğu bilgisi gösterilmektedir. Test çalıştırıldığında ise bu pinlerden kaç tanesine kısa devre, açık devre, stuck high, stuck low hata testleri yapıldığı gösterilmekte ve bu miktarları yüzdelik dilimler halinde bize vermektedir. Bunun en büyük faydası karmaşık devreler üzerinde yer alan bileşenlerin kalite ve üretim açısından büyük önem taşıyan test edilebilirlik oranını kullanıcıya görsel olarak basit ve net bir biçim de göstermesidir.

4.5. Basit Tümeleşik Devre Bileşen Testi Komutları

Jtag test sistemleri 'tümeleşik devre bileşeni merkezli' bir felsefe takip eder. Bu yaklaşıma göre Jtag desteği olmayan bileşenler için geliştirilen testler de ilgili bileşenin kendisine referans verecek şekilde hazırlanır ve elemanın devreye nasıl bağlandığının referans verilmesine gerek duyulmaz.

Bu eleman merkezli yaklaşıma göre devre bileşeni herhangi bir test içerisinde kullanıldığında ilgili kod farklı bir test için yeniden kodlanmaya ihtiyaç duymadan kullanılabilir. Bu sayede test edilecek bileşen ek bir çabaya gerek duymadan daha önceden farklı bir test düzeneği için oluşturulmuş XJEase komut dosyası farklı bir test düzeneğinde de kullanılabilir.

Jtag olmayan bileşenler için XJEase testleri Jtag bileşenine bağlı netlerin ayar ve okuma değerleri tarafından gerçekleştirilir.

Aşağıda örnek olarak uygulamada kullandığımız demo devre kartı üzerinde bulunan D7 ledi için hazırlanmış XJEase komut dosyası gösterilmiştir.

LEDYUVA_3.xje

```

CONST INT TRISTATE := 2;
//-----
SetLED(INT val)()
//-----
  IF val > 1 THEN
    SET LED1_A1_S3_I:= I;
  ELSE
    SET LED1_A1_S3_I:= val;
  END;
  IF val > 1 THEN
    SET LED1_A2_S3_I:= I;
  ELSE
    SET LED1_A2_S3_I:= val;
  END;
  IF val > 1 THEN

```

```

    SET LED1_A3_S3_I:= I;
ELSE
    SET LED1_A3_S3_I:= val;
END;
END;
//-----
Test()(INT result)
//-----
INT val, timeout, key;
PRINT("\n=> LED ", DEVICE_REF, " 'yi kontrol et. Ledlerin flash etme testi başarılı ise klavye
üzerindeki Spacebar tuşuna bas aksi halde herhangi bir tuşa bas\n");
ALERT();
DO
    val := !val;
    SetLED(val);
    SLEEP(300);
    key := GETKEY();
WHILE key = 0 END;
IF key = ASC(" ") THEN
    result := RESULT_PASS;
    PRINT("LED ", DEVICE_REF, " Başarılı.\n");
ELSE
    result := RESULT_FAIL;
    PRINT("LED ", DEVICE_REF, " Başarısız.\n");
END;
SetLED(TRISTATE());
END;

```

4.6. Daha Karmaşık Tümlü Devre Bileşen Testi Komutları

Daha karmaşık bileşenlere statik hafıza elemanlarını örnek olarak gösterebiliriz. Bizim devre kartımızda da statik hafıza elemanı olarak kullandığımız IC5 elemanıdır. Bu örnekte RAM 'in devreye doğru bağlandığı testini yapabilmek için, bir yazma döngüsü, bir okuma döngüsü ve bazı okuma ve yazmalar yapmak için bazı kodlar kopyalanacaktır.

4.6.1. Yazma döngüsü

Yazma döngüsü statik RAM'e bir data byte yazmak için bir algoritma gerektirir. Hafıza verisinin referans alınmasıyla yazma döngüsü;

- 1) D0-D7 veri busı üzerindeki verinin ve A0-A14 adres busı üzerinde yazma adresi kurulumu
- 2) CS low(chip select) ve WE low(write enable) ayarı
- 3) CS high ve WE high ayarı

Yazma döngüsü için XJEase kodu aşağıda gösterilmiştir:

```
WriteCycle(INT address, INT data)()
  SET A := address, D:= data [7..0];
  SET NCSR :=0, NWE := 0;
  SET NCSR :=1, NWE := 1;
END;
```

4.6.2. Okuma döngüsü

Okuma döngüsü yazma döngüsüne benzer. Buradaki genel algoritma;

- 1) A0 –A14 adres bitleri üzerinde adres kurulumu. Sürücü veri busını durdurmak.
- 2) CS low ve OE(Output Enable) low ayarı
- 3) CS high ve OE high ayarı ve veri bus okuma

Tümleşik devre bileşeni dosyasına aşağıdaki kod eklenir:

```
ReadCycle(INT address)(INT data)
  SET A := address, D := I;
  SET NCSR := 0, NOE := 0;
  SET NCSR := 1, NOE := 1, data := D;
END;
```

4.6.3. Hafıza testi uzantıları

Tüm hafıza konumları arasında ve tüm sıfır ve birler ile programlanabilen her konumun kontrolünü tekrarlamak için bir 'FOR' döngüsü oluşturularak denenmelidir.

Bu daha karmaşık test çiftinde hatalar bulamaz ama oluşturulabilir. Çünkü veri yazma işleminden sonra hemen okumaya başlar bu yüzden etkili bir test bileşeni daha karmaşık bir algoritma gerektirir.

4.6.4. Bir statik RAM testinin yeniden kullanımı

Bir hafıza bileşeni üzerindeki bağlantıların testini hemen hemen her test sisteminde yapmak gereklidir. Standart bir hafıza testinde 'takılabilen' (plug-in) yeteneği birçok zamanı kayıt eden, yeteneğini en iyi şekilde kullanılan bir algoritma içerir. XJtag Statik RAM bileşenleri için hazırlanmış bir takım standart hafıza testleri sağlamakta olup, bunlardan bir tanesi 'memtestSRAM. xje' olarak hazırlanmış test dosyasıdır.

BÖLÜM 5. SONUÇ

18.yy' da statik elektriğin incelenmesiyle başlayan mühendislik çalışmaları elektroniğin can damarı olan transistörün 1947 yılında dönemin büyük telefon şirketi olan Bell kuruluşlarının araştırma laboratuvarlarında, Willian Shockley Başkanlığında John Bardeen ve Walter Brattain'den oluşan ekip tarafından bulunuşuyla farklı bir boyut aldı. Son yarım yüzyılda büyük değişikliğe uğrayan transistör temelli elektronik devreler gittikçe daha karmaşık bir hale dönüştü. Özellikle mikroişlemcilerin 1970 yılında ilk defa Amerika Birleşik Devletleri' nin yeni savaş uçağı F-14' lerde kullanılmasından sonra yeni geliştirilen elektronik temelli devrelerin tamamında kendisine yer buldu.

Teknolojik ilerlemeler ile birlikte tümleşik devre bileşenlerinin de yapısında ve özelliklerinde birçok değişiklik ortaya çıktı. Başta işlevsel olarak, birçok yeni özellik geliştirildi. Bu değişiklikler tümleşik devre bileşenlerinin paket ve kılıf yapılarına da yansdı. Gitgide daha küçülmeye başlayan tümleşik devre bileşenleri için devre içerisinde kapladıkları yerden devreye montaj edilme biçimine kadar eskiye nazaran daha değişik yöntemler bulundu. Devre üzerinde yer alıp arıza tespiti ve fonksiyonel testlerin gerçekleştirilmesini sağlayan pin adetleri azaldı. Daha küçük ve daha işlevsel devreler içeren bu yeni yapı ile geliştirilen cihazların son kullanıcılar tarafından kullanılışında birçok avantaj ortaya çıktı. Ancak bu noktada yeni problemler meydana geldi. Son kullanıcılar açısından daha küçük ve işlevsel cihazlar avantaj iken bu cihazların hatasız ve tüm fonksiyonlarının çalışır şekilde onaylanarak üretimi büyük ve maliyetli bir problem oldu.

Üretim bandında meydana gelebilecek problemler, devrelerin tüm fonksiyonlarının eksiksiz olarak test edilebilmesi, test kapsamı, arızalı cihazların takibi ve testi cihaz üreticilerinin çeşitli test yöntemleri geliştirmesine ve uygulamasına neden oldu. Başlangıçta üretilen cihazların sadece son kullanıcının istediğı gerekleri karşılması

yeterli bir geliştirme hedefi iken sonraları ortaya çıkan bu problemler nedeniyle DFT metodu ortaya çıktı. Bu yöntemle göre geliştiricilerin sadece son kullanıcı gereksinimlerine göre değil aynı zamanda test edilebilirlik, gözlemlenebilirlik ve incelenebilirlik esaslarına da dikkat etmesi sağlandı. Bu aşamadan sonra sistemler daha test edilebilir ve arıza takibi yapılabilir bir hal aldı.

İlk üretilen test teknikleri DFT' nin avantajlarını tam olarak kullanamadı ancak düşük miktarda talebin olduğu yıllarda test açığını kapatabiliyorlardı. Genellikle 'çivili yatak' tekniğine göre hareket eden bu test yöntemleri kısa devre testlerine izin vermeleri ve test sistemlerinin hızlıca programlanabilmesi gibi avantajlara sahipti. Fakat son kullanıcı sayısında ki artış, yeni tasarlanan ürünlerin miktarı ve seri üretim bandının gitgide büyümesi bu test tekniklerinin avantajlarına rağmen dezavantajlarını daha ön plana çıkardı ve üreticileri yeni test arayışlarına yönlendirdi.

Yapılan çalışmalar sonucunda, günümüzde elektronik devre kartlarının testi için geliştirilen test sistemlerinin kapsam, maliyet ve kullanılabilirlik bakımından en yaygın olanı Jtag test sistemleri olup, artık tümleşik devre bileşeni üreticileri de ürettikleri bileşenleri standart haline getirilen bu sisteme uyarlamaya başlamıştır.

Diğer yöntemler büyük çapta üretim yapan firmalar için uygun olmamakla beraber hantal yapıları ve değişken olmamaları bu yöntemlerin kısa süre içinde tarih olmalarına sebep olacaktır. Jtag yöntemi de DFT ışığında kendini geliştirmekte ve yenilenmektedir. Gelecekte Jtag özelliğine sahip olmayan tümleşik devre bileşeni bulandıran devre olmayacaktır. Bu nedenle bu IEEE standardı çok iyi takip edilmeli ve ülkemiz içerisinde başta savunma sanayi ve devlet için üretim yapan kurumlar olmak üzere diğer üreticiler tarafından kullanılmalı ve bir test standardı haline getirilmelidir.

BÖLÜM 6. ÖNERİLER

Elektronik devre kartlarının testi için kullanılan test sistemlerinin Tablo 3.2' de bir arada verilen özelliklerine bakıldığında, diğer test sistemleri için genelde her bir kartın 'çivili yatak' tekniğine göre çalışan test düzeneğine yerleştirilmesi gerekliliği, prototiplendirme boyunca genellikle kullanılamamaları, test demirbaşlarının bakımının ve depolanmasının pahalı olması, test geliştirme zamanlarının uzun olması, yerleşim değişikliğinde bazı demirbaşlara ve değişikliklere ihtiyaç duyması, modern elektronik devre kartları için sınırlı test erişimlerinin olması gibi dezavantajlara sahip olmaları Jtag test sistemini ortaya çıkarmıştır.

Jtag test yöntemi, elektronik devre kartlarının üretim hatalarının görüntülenmesini, fonksiyonel hatalarının ortaya çıkartılmasını ve hatta FPGA, CPLD ve FLASH gibi bileşenlerin programlamasına olanak verir.

Jtag test sisteminin diğer test sistemlerine göre en önemli avantajlarından birisi, test işlemleri için test altındaki donanımla haberleşmesini sahip olduğu az sayıdaki bağlantı noktasıyla yapabilmesidir.. Sadece 4 sinyal ve bir opsiyonel sinyal ile birlikte elektronik ürünlerin büyük bir çoğunluğu bu yöntemle test edilebilir. Devre kartlarının gitgide küçülmesi ve test bağlantı noktalarının kart üzerine yerleşiminde ki problem Jtag test yönteminin bu ihtiyaç için en doğru yöntem olduğunu ortaya çıkarmıştır.

Jtag yönteminin üretici açısından ise en önemli avantajları kurulum maliyeti ve tamirat maliyetleri sayesinde test maliyetlerinin azalmasıdır. Bununla birlikte test maliyetleri azalmasına rağmen test kapsamı daha genişlemiş ve en az bağlantı noktasıyla hata izolasyonu sağlanmıştır. Çivili yatak yöntemi kullanılmadığı için her yeni kart değişikliğinde uzun hazırlık süreci çok kısa bir döneme yerini bırakmıştır. Ayrıca diğer test sistemlerine göre çok az bir yer kaplamakta ve kolayca taşınabilirlik sağlamaktadır. Bunun yanında testler ve test senaryoları bilgisayar tarafından

yönetilebilir hale gelmiş, kısa devre testleri ve izolasyon bu sayede daha etkili olarak kullanılabilmiştir.

Jtag test sistemi üretici firmaların müşteri gereklerini tam ve ucuz maliyetli olarak karşılayabilmesi için ortaya çıkan problemi çözebilmek amacıyla geliştirilmiştir. Diğer test sistemlerine göre avantajları çok fazladır. Üretici firmalar için maliyetleri düşürmesi ve test için harcanan zamanın azalması firmaların bu yöntemi tercih etmeleri için bir numaralı nedendir.

KAYNAKLAR

- [1]. IEEE 1149.1-2002 Test Access Port and Boundary Scan Architecture Standard
website: <http://grouper.ieee.org/groups/1149/1>,
<http://standards.ieee.org/catalog/> Parker K., 07.04.2011
- [2]. http://tr.wikipedia.org/wiki/In-circuit_test, 16.09.2011
- [3]. Boundary Scan Tutorial, Dr R G “Ben” Bennetts DFT Consultant and
Director, ASSET InterTech Inc., 13.04.2011
- [4]. Review of Boundary Scan, Jin-Hua Hong Department of Electrical
Engineering National University of Kaohsiung, 01.05.2011
- [5]. GOEPEL Boundary ScanSeminar Heiko Ehrenberg 2007, GOEPEL
Electronics, www.goepel.com, 12.05.2011
- [6]. Marsh D., “Simple boundary-scan techniques tackle sophisticated systems”,
Electronic Design News (EDN) Europe, July, 2001, pp. 34 – 42, 12.05.2011
- [7]. JTAG Technologies B.V. “Programming Flash Memories via Boundary Scan”
User's Manual Book, 15.05.2011
- [8]. XJTAG XJDeveloper and XJEase Tutorial, website:
<http://www.xJtag.com/support-Jtag>, 01.06.2011
- [10]. Xilinx website: <http://www.xilinx.com/support/download>, 05.06.2011
- [11]. Radio-Electronics website: http://www.radio-lectronics.com/info/t_and_m/ate/ict-in-circuit-test-tutorial.php, 01.07.2011

ÖZGEÇMİŞ

Levent BURÇAK; evli ve bir çocuk sahibi olup, 25.11.1983'de Akşehir / KONYA' da doğdu. İlk, orta ve lise eğitimini Akşehir'de tamamladı. 2000 yılında Akşehir Selçuklu Lisesi, Fen Bölümünden mezun oldu. 2001 yılında başladığı KTÜ Elektrik-Elektronik Müh. bölümünü 2006 yılında bitirdi. 2008 yılının ocak ayında TÜBİTAK / BİLGEM- UEKAE enstitüsünde araştırmacı olarak işe başladı. 2009 yılında Sakarya Üniversitesi, Elektrik Elektronik Mühendisliği bölümünde yüksek lisans eğitimine başladı. Şu anda hâlâ TÜBİTAK / BİLGEM - UEKAE enstitüsünde araştırmacı olarak çalışmaktadır.