



Yeni Bir Alçaltıcı-Yükseltici Çevirici Tabanlı Tek Fazlı Evirici Tasarımı Ve Prototip Yapımı

Program Kodu: 1002

Proje No: 118E004

Proje Yürütücüsü:
Doç. Dr. Faruk YALÇIN

Araştırmacılar:

Prof. Dr. Uğur ARİFOĞLU

Doç. Dr. İrfan YAZICI

Bursiyer:

Arş. Gör. Kenan ERİN

HAZİRAN 2019
SAKARYA



ÖNSÖZ

TÜBİTAK tarafından 1002-Hızlı Destek Programı kapsamında desteklenmiş olan ve sonuç raporunu sunduğumuz bu projemizde, kuplaj transformatörü ve pasif filtre kullanmadan ideal sinüs formuna oldukça yakın çıkış gerilimi üretebilen ve düşük maliyetli alçaltıcı-yükseltici çevirici tabanlı bir fazlı evirici için yeni bir topoloji tasarımı ve bu tasarıma ait gerçek-zaman prototip tasarımı yapılmıştır. Proje konusu olan alçaltıcı-yükseltici çevirici tabanlı bir fazlı evirici için proje kapsamında yapılan çalışmaya ait makale yazılmış ve değerlendirilmek üzere SCI-Expanded indeksinde taranan bir dergiye gönderilmiştir. Böylelikle, proje çalışması sonucunda, bilime oldukça değerli bilgi aktarımı gerçekleştirilmiş ve proje ekibinin bu alandaki yapacakları diğer çalışmalar için önemli bir birikim ve tecrübe kazanımı sağlanmıştır. Proje çıktılarının geliştirilerek ulusal ve/veya uluslararası endüstriyel kullanımda geliştirilmesine devam edilerek ülkemiz ekonomisine kazandırılma çalışmalarını sürdürmek hedefimiz olacaktır.

Proje başvurusu yapıldığında ve proje kabul edildiğinde, proje yürütücüsü olarak görev yaptığım Teknoloji Fakültesi, Sakarya Üniversitesi bünyesinde yer almaktaydı. 18 Mayıs 2018 tarihinde Teknoloji Fakültesi, kanunen Sakarya Uygulamalı Bilimler Üniversitesi' ne bağlanmasına rağmen, Haziran 2018'de proje sözleşmesi Sakarya Üniversitesi adına imzalanmıştır. Proje imzalanmasından sonra kurum değişikliği talebi yapılarak 25 Şubat 2019 tarihinde projemiz Sakarya Uygulamalı Bilimler Üniversitesi'ne aktarılmıştır. Bu nedenle değerlendirilmek üzere gönderdiğimiz yayında yer alan proje yürütücüsü olarak şahsıma ait yazar bilgilerinde Sakarya Üniversitesi yerine Sakarya Uygulamalı Bilimler Üniversitesi kullanılmıştır.

Projemizin desteklenmesinde ve yürütülmesinde destekleri bulunan Sakarya Uygulamalı Bilimler Üniversitesi rektörümüz Prof. Dr. Mehmet SARIBIYIK'a ve Sakarya Üniversitesi eski rektörü Prof. Dr. Muzaffer ELMAS'a proje ekibi olarak teşekkürlerimizi sunarız.

Doç. Dr. Faruk YALÇIN
Proje Yürütücüsü



İÇİNDEKİLER

| | |
|--|-----|
| ÖNSÖZ | i |
| İÇİNDEKİLER | ii |
| ŞEKİLLER LİSTESİ..... | iii |
| TABLolar LİSTESİ..... | v |
| ÖZET..... | vi |
| ABSTRACT..... | vii |
| 1. GİRİŞ..... | 1 |
| 2. LİTERATÜR ÖZETİ..... | 3 |
| 3. GEREÇ VE YÖNTEM..... | 9 |
| 3.1. Alçaltıcı-Yükseltici Çevirici Tabanlı Bir Fazlı Evirici Tasarım ve Analizi..... | 9 |
| 3.1.1. Önerilen Evirici Topolojisi..... | 9 |
| 3.1.2. Evirici Çalışması..... | 12 |
| 3.1.3. Evirici Dinamik Analizi..... | 13 |
| 3.1.4. Söndürme (Snubber) Devre Tasarımı..... | 19 |
| 3.1.5. Evirici Kontrolü..... | 21 |
| 3.2. Alçaltıcı-Yükseltici Çevirici Tabanlı Bir Fazlı Evirici Prototip Tasarımı..... | 25 |
| 3.2.1. Evirici Devresinin Tasarımı..... | 25 |
| 3.2.2. Sürücü Devre Tasarımı..... | 27 |
| 3.2.3. Evirici Kontrol Devresi ve Ayrık Zaman PID Kontrolcü Tasarımı..... | 27 |
| 4. BULGULAR..... | 32 |
| 4.1. Simülasyon Testleri..... | 32 |
| 4.2. Elektriksel Testler..... | 41 |
| 4.3. Ulusal ve Uluslararası Makale ve Bildirilerin Hazırlanması..... | 55 |
| 4.4. Ulaşılan Hedefler..... | 56 |
| 5. TARTIŞMA VE SONUÇ..... | 57 |
| KAYNAKLAR..... | 58 |

ŞEKİLLER LİSTESİ

| | |
|--|----|
| Şekil 1. Önerilen alçaltıcı-yükseltici çevirici tabanlı eviriciye ait genel gösterim..... | 10 |
| Şekil 2. Önerilen alçaltıcı-yükseltici çevirici tabanlı eviriciye ait devre gösterimi..... | 10 |
| Şekil 3. Farklı anahtarlama elemanları ile oluşturulmuş örnek iki yönlü akım geçişine izin veren çift yönlü anahtar yapıları..... | 11 |
| Şekil 4. Anahtarlama elemanı olarak MOSFET kullanılmış önerilen evirici devre yapısı.... | 12 |
| Şekil 5. Evirici eşdeğer modeli – pozitif alternans çıkış gerilimi üretimi: (a) İletim modu – S_5 iletimde S_6 kesimde, (b) Kesim modu – S_6 iletimde S_5 kesimde..... | 13 |
| Şekil 6. MOSFET anahtarlama elemanları için söndürme (snubber) devreleri dahil edilmiş önerilen evirici devre yapısı..... | 19 |
| Şekil 7. Evirici genel kontrol yapısı..... | 22 |
| Şekil 8. Tasarlanan evirici prototip devresi..... | 25 |
| Şekil 9. Eviricide kullanılan MOSFETler için tasarlanan sürücü devresi..... | 27 |
| Şekil 10. Evirici kontrolü için kullanılanTMS320F28379D çekirdek içeren LAUNCHXL-F28379D geliştirme kiti..... | 28 |
| Şekil 11. Gerçek zaman prototip kontrolünde kullanılan kontrol blok diyagramı..... | 28 |
| Şekil 12. Evirici kontrol blok diyagramına ait Bode eğrisi..... | 31 |
| Şekil 13. Evirici simülasyon testi için oluşturulan MATLAB Simulink modeli..... | 32 |
| Şekil 14. Test 1 durumu için elde edilen simülasyon sonuçları..... | 33 |
| Şekil 15. Test 2 durumu için elde edilen simülasyon sonuçları..... | 34 |
| Şekil 16. Test 3 durumu için elde edilen simülasyon sonuçları..... | 35 |
| Şekil 17. Test 4 durumu için elde edilen simülasyon sonuçları..... | 36 |
| Şekil 18. Test 5 durumu için elde edilen simülasyon sonuçları..... | 37 |
| Şekil 19. Test 6 durumu için elde edilen simülasyon sonuçları..... | 38 |
| Şekil 20. Test 7 durumu için elde edilen simülasyon sonuçları..... | 39 |
| Şekil 21. Test 8 durumu için elde edilen simülasyon sonuçları..... | 40 |
| Şekil 22. Test 9 durumu için elde edilen simülasyon sonuçları..... | 41 |
| Şekil 23. Evirici gerçek zaman testi için oluşturulan prototip test düzeneği..... | 42 |
| Şekil 24. Test 1 durumu için elde edilen gerçek zaman sonuçları (I_o için $V/div=A/div$)..... | 43 |
| Şekil 25. Test 2 durumu için elde edilen gerçek zaman sonuçları (I_o için $V/div=A/div$)..... | 44 |
| Şekil 26. Test 3 durumu için elde edilen gerçek zaman sonuçları (I_o için $V/div=A/div$)..... | 45 |
| Şekil 27. Test 4 durumu için elde edilen gerçek zaman sonuçları (I_o için $V/div=A/div$)..... | 46 |
| Şekil 28. Test 5 durumu için elde edilen gerçek zaman sonuçları (I_o için $V/div=A/div$)..... | 47 |
| Şekil 29. Test 6 durumu için elde edilen gerçek zaman sonuçları (I_o için $V/div=A/div$)..... | 49 |
| Şekil 30. Test 7 durumu için elde edilen gerçek zaman sonuçları (I_o için $V/div=A/div$)..... | 50 |

| | |
|---|----|
| Şekil 31. Test 8 durumu için elde edilen gerçek zaman sonuçları (I_o için $V/div=A/div$)..... | 51 |
| Şekil 32. Test 9 durumu için elde edilen gerçek zaman sonuçları (I_o için $V/div=A/div$)..... | 52 |
| Şekil 33. Test 9 durumu için elde edilen S_{5a} anahtarına ait iletme geçme esnasında savak-kaynak akımı I_{DS} dalga şekli (I_o için $V/div=A/div$)..... | 54 |
| Şekil 34. Test 9 durumu için elde edilen S_{5a} anahtarına ait kesime geçme esnasında savak-kaynak gerilimi V_{DS} dalga şekli (kutuplu paralel RCD devresi var iken).... | 54 |
| Şekil 35. Test 9 durumu için elde edilen S_{5a} anahtarına ait kesime geçme esnasında savak-kaynak gerilimi V_{DS} dalga şekli (kutuplu paralel RCD devresi yok iken).... | 55 |



TABLolar LİSTESİ

| | |
|--|----|
| Tablo 1. Evirici devresi için belirlenen bobin, kapasite ve anahtarlama frekansı değeri..... | 26 |
| Tablo 2. Söndürme (snubber) devre parametreleri..... | 26 |
| Tablo 3. Evirici çalışma noktası parametreleri..... | 29 |

ÖZET

Bu proje çalışmasında, kuplaj transformatörü ve pasif filtre kullanmadan ideal sinüs formuna oldukça yakın çıkış gerilimi üretebilen ve düşük maliyetli alçaltıcı-yükseltici çevirici tabanlı bir fazlı evirici için yeni bir topoloji tasarlanmış ve 0-100 V_p, 0-50 Hz, 0,5 kW çalışma değerlerine sahip bir prototip gerçekleştirilmesi yapılmıştır. Tasarlanan alçaltıcı-yükseltici çevirici tabanlı bir fazlı evirici yeni bir topolojiye sahip olmakla beraber, evirici kontrolünde “kontrol kuralı” olarak ifade edilen yeni geliştirilen açık çevrim kontrol tekniği ile geri beslemeli PID kontrolcü desteklenerek özgün bir evirici kontrol tekniği tasarlanmıştır. Böylece, farklı evirici çalışma parametrelerinde de eviricinin kararlı ve yüksek performansta çalışması sağlanmıştır. Ayrıca eviricide bulunan tüm güç elektroniği anahtarlama elemanları için evirici topolojisine uygun olarak söndürme (snubber) devreleri tasarlanmış, böylelikle anahtarlama elemanlarının korunması ve eviricinin sağlıklı şekilde çalışması sağlanmıştır.

Önerilen evirici topolojisi, literatürde iyi bilinen DA-DA alçaltıcı-yükseltici çeviricinin, çıkışında sinüsoidal gerilim üretecek şekilde yeniden dizayn edilmesi ve buna göre çalıştırılması temeline dayanmaktadır. Güç elektroniği anahtarlama elemanlarının uygun kontrolü ile tasarlanan DA-DA alçaltıcı-yükseltici çeviricinin girişine uygulanan doğru gerilimin polaritesi değiştirilebilmektedir. Böylelikle çevirici çıkışında farklı polaritede alternatif gerilimin elde edilmesi sağlanmıştır. Hem pozitif hem de negatif alternansta sabit değerlerde çevirici girişine gelen sabit gerilim değerlerinden, anahtarlama oranının sürekli uygun değerlerde değiştirilmesi ile evirici çıkışında yarı sinüsoidal gerilimlerin üretilmesi sağlanmıştır. Böylece periyodik olarak çevirici çıkışında idealde saf sinüsoidal, gerçek zaman uygulamasında ise ideal sinüse çok yakın bir gerilim üretilmiştir.

Tasarlan evirici topolojisi için yapılan hem simülasyon hem de gerçek zaman prototip uygulaması testlerinden, tasarlanan bir fazlı eviricinin farklı çalışma parametrelerinde gerilim THD değerleri %5'in altında saf sinüsoidale çok yakın bir fazlı gerilim üretebildiği gösterilmiştir.

Anahtar Kelimeler: Evirici, bir fazlı evirici, güç elektroniği, alçaltıcı-yükseltici çevirici, harmonik

ABSTRACT

In this project, a new topology for a single-phase inverter based on buck-boost converter which can produce output voltage very close to sine form without using a filtering coupling transformer and passive filter is designed and a prototype with the values 0-100 Vp, 0-50 Hz, 0,5 kW is built. The designed single-phase inverter based on buck-boost converter has a new topology, also, a novel control technique is developed through supporting the feed-back PID controller by the new designed open-control technique called as “control law”. Thus, inverter operating in stable and with high performance under various operating parameters is provided. Besides, snubber circuits are designed for all of the power electronics switches considering the inverter topology. Thus, the switching elements are protected and healthy operation of the inverter is provided.

The proposed inverter topology is based on the well-known DC-DC buck-boost converter. For this aim, the DC-DC converter topology is modified and controlled properly to achieve sinusoidal alternative voltage at the output. The polarity of the input voltage can be alternated through proper control of the power electronics switching devices. Thus, an alternative voltage can be obtained at the output of the converter. Through controlling the switching duty cycle continuously in both the positive and the negative input voltage stages, in each stage, half-sinusoidal voltage wave forms are produced from the constant input voltage. So, an ideal sinusoidal alternative voltage is obtained ideally, a close sine wave alternative voltage is obtained practically at the output of the converter.

It is shown from both the simulation tests and the experimental tests of the designed prototype that, the designed single-phase inverter can produce closely sinusoidal single phase voltage with less than 5% voltage THD values under various operating parameters.

Keywords: Inverter, single phase inverter, power electronics, buck-boost converter, harmonics



1. GİRİŞ

Eviriciler, doğru gerilimden genliği ve frekansı ayarlanabilir alternatif gerilim üreten yapılardır. Eviriciler, yenilenebilir enerji kaynaklarından asenkron motor hız kontrolüne, kesintisiz güç kaynaklarından gerilim regülasyonuna ve hatta güç sistemlerine (STATCOM uygulamaları, AA-DA sistemleri gibi) kadar çok geniş bir yelpazede uygulama alanı bulmaktadır. Birçok alanda yaygın olarak kullanılan eviricilerin çıkışında üretilen alternatif gerilimin sinüs formuna oldukça yakın (harmonik bileşenlerinin düşük olması), dolayısıyla yüksek kaliteli olması büyük önem arz etmektedir. Uluslararası standartlara göre alternatif gerilimle beslenen müşteriler için besleme gerilimine ait toplam harmonik bozunumunun (THD – Total Harmonic Distortion) %5' den az olması gerekliliği öngörülmektedir. Bununla beraber müşteri açısından bakıldığında, kullanılacak eviricinin kalitesi ile beraber maliyetinin de düşük olması önemlidir.

Eviricilerin yukarıda yapılan açıklamalar sebebiyle geniş bir kullanım alanı bulunması ve kalite standartlarının sürekli iyileştirilme çabaları sebebiyle, evirici tasarımları için artan bir seviyede literatür ve ar-ge çalışmaları sürdürülmektedir. Bu bağlamda, Bölüm 2'de verilen literatür özetinde mevcut evirici çalışmalarına kıyasla, proje çalışmasında düşük maliyetli, daha az karmaşık ve yüksek performanslı bir tek fazlı evirici tasarımı yaparak bahsedilen evirici çalışmalarına önemli bir katkı sağlanması amaçlanmıştır. Projede, benzer çalışmalardan farklı ve özgün olarak, alçaltıcı-yükseltici çevirici tabanlı, kuplaj transformatörü ve filtre kullanımına gerek duymayan bir fazlı yeni bir evirici tasarımı yapılmıştır. Tasarlanan bir fazlı evirici kontrolünde, geleneksel geri beslemeli kontrol tekniklerinden farklı olarak, projede yeni geliştirilen “kontrol kuralı” olarak adlandırılan açık çevrim kontrol tekniği kullanılarak bu tekniğin PID geri beslemeli kontrolcünün desteklenmesi sağlanmıştır. Böylece, farklı evirici çalışma parametrelerinde evirici transfer fonksiyonu değişiminde de eviricinin kararlı ve yüksek performansta çalışması sağlanmıştır. Proje önerisinde geri beslemeli kontrolcü için PI kontrolcü kullanılması düşünülse de, benzetim çalışmaları sonuçlarından PID kontrolcünün kullanılmasının daha iyi performans sağladığı tespit edilmiş ve bu yüzden projede PID kontrolcü tercih edilmiştir. Anahtarlama esnasında evirici yapısında bulunan anahtarlama elemanlarının akım ve gerilim streslerini düşürmek ve böylelikle eviricinin sağlıklı şekilde çalışma devamlılığını sağlamak için, eviricide bulunan tüm anahtarlama elemanları için söndürme (snubber) devre tasarımı yapılmıştır.

Evirici için yapılan teorik devre topolojisi ve kontrol tasarımı için simülasyon çalışmaları yapılarak önerilen evirici tasarımının gerçekleştirilebilirliği gösterilmiştir. Daha sonra gerçek zaman uygulama için 0-100 Vp, 0-50 Hz, 0,5 kW çalışma değerlerine sahip prototip tasarımı yapılmıştır. Tasarlan evirici topolojisi için yapılan hem simülasyon hem de gerçek zaman



prototip uygulaması testlerinden, tasarlanan bir fazlı eviricinin farklı çalışma parametrelerinde gerilim THD değerleri %5'in altında saf sinüsoidale çok yakın bir fazlı gerilim üretebildiği gösterilmiştir.

Proje önerisinde belirtilen amaç ve hedeflere ulaşmak adına, proje çalışmasına ait yapılan tüm çalışmalar bundan sonraki bölümlerde verilmiştir. Yine proje önerisinde verilen iş paketleri adımlarında tanımlanan işlerin hangi bölümde yapılan çalışmalarla tamamlandığı, ilgili bölüm/alt bölümlerde İP No: olarak belirtilmiştir.



2. LİTERATÜR ÖZETİ

Proje önerisine kadar yapılan literatür taraması, proje başlangıcından tamamlanana kadarki süreçte güncel olarak tekrardan yapılmıştır. Güncel literatür taraması ile literatürdeki evirici topolojileri ve kontrol yöntemleri incelenmiş, artı ve eksi yönleri detaylı bir şekilde irdelenerek, proje çalışmasında sunulan evirici topolojisi ve kontrol yönteminin Bölüm 1'deki giriş kısmında belirtilen maliyet, karmaşıklık ve performans özelliklerine göre literatürdeki mevcut çalışmaların eksik yönleri gösterilmeye çalışılmıştır. Böylelikle projede sunulan evirici çalışmasının özgün yönlerinin yanı sıra üstün özelliklerinin doğruluğu gösterilmiştir.

Doğru gerilimden genliği ve frekansı ayarlanabilir alternatif gerilim üreten güç elektroniği yapıları olan eviriciler, yenilenebilir enerji kaynaklarından asenkron motor hız kontrolüne, kesintisiz güç kaynaklarından gerilim regülasyonuna ve hatta güç sistemlerine (STATCOM uygulamaları, AA-DA sistemleri gibi) kadar çok geniş bir yelpazede uygulama alanı bulmaktadır [Song vd. (2011), Haw vd. (2014)]. Eviricilerin çıkışında üretilen alternatif gerilimin sinüs formuna oldukça yakın (harmonik bileşenlerinin düşük olması), dolayısıyla yüksek kaliteli olması oldukça önemlidir [Malarvizhi ve Gnanambal (2015)]. Uluslararası standartlara göre alternatif gerilimle beslenen yükler için besleme gerilimine ait toplam harmonik bozunumunun (THD – Total Harmonic Distortion) %5' den az olması istenmektedir [IEEE (2017)]. Bununla beraber müşteri açısından bakıldığında, kullanılacak eviricinin kalitesi ile beraber maliyetinin de düşük olmasının önemli olduğu aşıkardır.

Piyasada kullanılan eviriciler temelde PWM (Pulse Width Modulation – darbe genişlik modülasyonu) tabanlı ya da PAM (Pulse Amplitude Modulation – darbe genlik modülasyonu) tabanlı olarak çalışmaktadırlar. PWM tabanlı eviriciler, doğru gerilimi PWM doluluk oranında (duty cycle) çıkışa aktararak alternatif gerilim üretirler [Sen (2008)]. Bu çeviricilerin çıkışında elde edilen alternatif gerilim sinüs formundan oldukça uzaktır. Bu sebeple harmonik bileşenleri oldukça yüksek, dolayısıyla kalitesi oldukça düşüktür. Harmonikli bileşenleri azaltmak için farklı PWM kontrol yöntemleri uygulanmaktadır. En klasik bilinen yöntem referans sinüsoidal işaret ile üçgen dalga karşılaştırılması ile elde edilen kontrol işaretlerine bağlı olan PWM kontrol yöntemidir [Mohan (2003)]. Bu yöntemde PWM doluluk oranı her alternans içinde değiştirilerek harmonik düzeyleri düşürülmekte olsa da yine de saf sinüsoidal çıkış gerilimi elde edilemez.

Bir başka yöntem olan seçmeli harmonik eliminasyon metodu (SHEM – Selective harmonic elimination method) ise, PWM doluluk oranlarının istenen harmonik bileşenlerinin yok edilmesine dayalı özel bir çözüm yöntemidir [Narimani ve Mochopoulos (2012), Shojaei ve

Fathi (2011)]. Bu yöntemde istenilen harmonik bileşenlerine etki eden PWM kontrol işaretlerinin, diğer harmonik bileşenler üzerinde nasıl etki ettiği kestirilemez ve/veya diğer harmonik bileşenlerine müdahale edilemez. Harmonik genlik değerleri yüksek olması muhtemel harmonik derecelerinin (genellikle düşük mertebeden harmonikler) yok edilmesi, evirici çıkış gerilimine ait THD değerini göreceli olarak düşürür [Yalçın ve Arifoğlu (2013), Yalçın (2009)]. Yine de saf sinüsoidal çıkış gerilimi elde edilemez. Harmonikli bileşenleri daha da azaltmak ve sinüs formuna yaklaşmak için evirici çıkışına kuplaj transformatörü ya da ilgili harmonik dereceleri için pasif filtre bağlanabilir. Bunlar ise ek donanım gereksinimine ve dolayısıyla maliyet artışına neden olmaktadır.

PAM tabanlı eviriciler, birden fazla eviricinin direk ya da kuplaj transformatörü üzerinden seri bağlanması ile oluşturulur [Taniguchi ve Okumura (1993)]. Bu tür çeviriciler her bir alternans için çıkışta farklı gerilim düzeylerinde doğru gerilim değerleri oluşturarak sinüse daha yakın (PWM tabanlı çeviricilere göre) bir çıkış gerilimi elde edilmesini sağlar. Böylelikle çıkış gerilimi harmonik bileşenleri azaltılır. Ancak birden fazla evirici kullanılması donanım kalabalığını ve karmaşıklığı artırır. Evirici çıkış gerilimine ait harmonik bileşenleri daha da azaltmak ve sinüse oldukça yakın bir çıkış gerilimi elde etmek için evirici çıkışına kuplaj transformatörü bağlanabilir. Tüm bunlar ise ek donanım gereksinimine ve dolayısıyla maliyet artışına neden olmaktadır [Singh vd. (2009), Yalçın (2013)].

Son yıllarda, PWM ve PAM tabanlı klasik evirici yapılarından farklı olarak literatürde DA-DA çevirici tabanlı yeniden dizayn edilmiş birçok anahtarlama evirici çalışmaları yapılmaktadır. Evirici çalışma moduna uygun şekilde yeniden dizayn edilmiş DA-DA çeviricilerden Alçaltıcı [Cho (2017), Surendran ve Selvakumar (2014)], yükseltici [Flores-Bahamonde (2016), Shubhra ve Mishra (2016)], Cuk [Mehrnami ve Mazumder (2015), Mehrnami vd. (2016)] tip evirici topolojileri geliştirilmiştir. Bu yapıların PWM ve PAM tabanlı eviricilere göre çıkışlarında ideal sinüs formuna daha yakın gerilim üretebildikleri görülmüştür. Bu yapıların topolojilerinde doğal olarak bulunan filtre yapıları ve yüksek anahtarlama çalışma özellikleri, çıkışlarında harmonik değeri oldukça düşük sinüs formuna yakın gerilim üretebilmelerini olanaklı kılmıştır. Böylelikle evirici çıkışında ilave pasif filtre kullanımı ya da filtre amaçlı kuplaj transformatörü kullanımı gereksinimini ortadan kaldırmıştır. Ancak bu eviricilerin yapısında kullanılan çeviricilerin çalışma mantığı açısından bakıldığında, çıkışta üretilmesi istenen sinüsoidal gerilimin genliği ile beraber sinüs formunun her anahtarlama zamanında kontrol edilebilmesi geri beslemeli kontrol sistemini gerekli kılar [Han vd. (2015)].

Bu projenin konusu olan alçaltıcı-yükseltici çevirici tabanlı anahtarlama evirici çalışmaları literatürde başarılı bir şekilde uygulanmıştır. Bu alçaltıcı-yükseltici çevirici tabanlı evirici

yapıları, alçaltıcı veya yükseltici çevirici tabanlı eviricilere göre, çıkışlarında giriş doğru gerilim değerinin altında ve üstünde daha geniş bir genlik aralığına sahip sinüoidal alternatif gerilim üretebilmeleri açısından üstünlük sağlamaktadır. Cuk tipi eviriciler alçaltıcı-yükseltici yapısından türetildiğinden bu tür eviriciler de çıkışlarında giriş doğru gerilim değerinin altında ve üstünde daha geniş bir genlik aralığına sahip sinüoidal alternatif gerilim üretebilmelerine rağmen, temel Cuk çeviricinin, temel alçaltıcı-yükseltici çevirici topolojisine göre daha fazla pasif eleman (bobin ve kapasite) içerdiği göz önüne alınırsa hem maliyet hem karmaşıklık hem de kontrol zorluğu açısından Cuk tipi eviricilerin dezavantajlı olacağı aşıkardır. Genel olarak, literatürdeki alçaltıcı-yükseltici çevirici tabanlı evirici çalışmaları incelendiğinde aynı amaç doğrultusunda, DA-DA alçaltıcı-yükseltici çeviricilerin evirici çalışmasını sağlayacak şekilde farklı modifikasyonlara sahip topolojiler olarak tasarlandıkları görülmüştür. Bu farklı modifikasyonlar, değişik sayıda ve bağlantı yapısında anahtarlama elemanı düzenleri ile birlikte klasik DA-DA çeviricide halihazırda bulunan filtre yapılarının genişletilmiş şekillerini ihtiva edecek şekilde tasarlanmıştır. Bu farklı tasarımlar, klasik DA-DA alçaltıcı-yükseltici çevirici topolojisinde kullanılan eleman sayısından daha fazla eleman (aktif anahtarlama elemanları ve pasif L-C elemanları) kullanımını zorunlu kılmakta, bu durum da evirici maliyetini arttırmaktadır. Ayrıca tüm bu çalışmalarda, kullanılan geri beslemeli kontrolcü parametreleri, belirli çalışma koşulları (belli giriş gerilimi, çıkış gerilimi ve yük değeri) için tespit edilmektedir. Literatürdeki bu evirici geri beslemeli kontrolcü yapıları saf omik yük için tasarlanmış olup, uygulamada sıklıkla karşılaşılan endüktif ve kapasitif yük için çalışma sonuçları verilmemiştir. Bunun ötesinde omik yükler için yapılan çalışmalar belirlenen bu çalışma noktalarına çok yakın değerler için yapılmıştır. Bu sebeple farklı çalışma koşullarında eviriciye ait matematiksel model değişeceği için, çalışma koşullarının belirlenen değerlerden uzak olması durumunda, mevcut kontrolcü parametrelerinin evirici kontrolünü istenen şekilde sağlayamaması olasıdır. Özetle eviricinin ya istenen çıkış gerilimini istenen kalitede üretememesi ya da evirici çalışmasının kararsızlığa gitmesi söz konusu olabilecektir. Aşağıdaki paragraflarda literatürdeki bahsedilen alçaltıcı-yükseltici çevirici tabanlı bir fazlı evirici çalışmalarının hem topoloji hem de kontrol yapıları açısından detaylı incelemeleri verilmiştir.

Lee ve arkadaşları 4 aktif anahtar, 2 diyot, 2 bobin ve 2 kapasiteden oluşan tek fazlı bir evirici topolojisi geliştirmiştir [Lee vd. (2019)]. Qin ve arkadaşlarının geliştirdiği farklı bir fazlı evirici topolojisinde ise yine aynı şekilde 4 aktif anahtar, 2 diyot, 2 bobin ve 2 kapasite bulunmaktadır [Qin vd. (2018)]. Khan ve Cha'nın sunduğu evirici yapısında 4 aktif anahtar, 4 diyot, 6 bobin, 3 kapasite bulunmaktadır [Khan ve Cha (2018)]. Kumar ve Sensarma tarafından önerilen topoloji 4 aktif anahtar, 2 bobin, 3 kapasite içermektedir [Kumar ve Sensarma (2017)]. Darwish ve arkadaşları tarafından tasarlanan evirici yapısında 2 aktif

anahtar, 2 bobin, 2 kapasite bulunmaktadır [Darwish vd. (2016)]. Nishad ve Shafeeque, 6 aktif anahtar, 2 diyot, 1 bobin, 1 kapasiteden oluşan bir evirici topolojisi önermiştir [Nishad ve Shafeeque (2016)]. Todkar ve Shinde ise 4 aktif anahtar, 1 diyot, 2 bobin, 2 kapasiteden oluşan bir evirici tasarlamıştır [Todkar ve Shinde (2016)]. Chang ve arkadaşları tarafından sunulan evirici topolojisi 6 aktif anahtar, 1 diyot, 2 bobin, 2 kapasite bulundurmaktadır [Chang vd. (2015)]. Gandomi ve arkadaşları tarafından önerilen evirici 5 aktif anahtar, 1 bobin, 1 kapasite içermektedir [Gandomi vd. (2015)]. Atly ve Aathira tarafından tasarlanan evirici topolojilerinde 8 aktif anahtar, 1 bobin, 1 kapasite yer almaktadır [Atly ve Aathira (2015a, 2015b)]. Tang ve arkadaşlarının oluşturduğu evirici topolojisinde ise 4 aktif anahtar, 1 bobin, 1 kapasiteye ilave olarak 1 adet kuplaj transformatörü kullanılmıştır [Tang vd. (2016)]. Literatürdeki tüm bu bir fazlı evirici çalışmalarında sadece evirici topolojileri ile beraber evirici çalışma prosedürleri verilmiştir. Evirici topolojileri ise ideal elemanlar temelinde oluşturulmuş, gerçek parazitik eleman değerleri göz önüne alınmamıştır. Bununla beraber, evirici topolojisine ait dinamik analizler yapılmamış, bu analizlere bağlı transfer fonksiyonu verilmemiştir. Evirici geri beslemeli kontrolünün nasıl yapıldığı açıklanmamıştır.

Sreekanth ve arkadaşlarının yaptığı bir fazlı evirici çalışmasında, evirici topolojisinde 6 aktif anahtar, 4 bobin, 2 kapasite kullanılmıştır [Sreekanth vd. (2017)]. Topoloji gösteriminde parazitik gerçek elemanlar gösterilmesine rağmen hesaplamalarda bu elemanlar göz önüne alınmamıştır. Bununla beraber hesaplamalarda dinamik analizler yapılmamıştır. Evirici kontrolünde geri beslemeli PI kontrolcü kullanılmış, ancak kontrol tasarımı ile ilgili detaylar verilmemiştir.

Ho ve Siu tarafından geliştirilen eviricide 6 aktif anahtar 2 bobin 1 kapasite [Ho ve Siu (2017)] ve Krishnapriya ile arkadaşlarının oluşturduğu topolojide ise 6 aktif anahtar 6 diyot 1 bobin 1 kapasite [Krishnapriya vd. (2015)] bulunmakla beraber bu evirici çalışmalarında kuplaj transformatörü kullanım gereği duyulmamıştır. Bu çalışmalarda gerçek parazitik eleman değerleri göz önüne alınmamıştır. Ayrıca evirici topolojisine ait dinamik analizler yapılmamış ve bu analizlere bağlı transfer fonksiyonu verilmemiştir. Evirici geri beslemeli kontrolünde klasik PI kontrolcülü geri beslemeli kontrol sistemi kullanılmış ancak kontrolcü tasarımı açıklanmamıştır.

Ibrahim ve arkadaşlarının geliştirdiği evirici topolojisinde 4 aktif anahtar, 2 diyot, 2 bobin, 2 kapasite bulunmaktadır [Ibrahim vd. (2017)]. Sari ve Chandrabose ise yaptıkları çalışmada 4 aktif anahtar, 2 bobin, 1 kapasiteden oluşan bir evirici topolojisi geliştirmiştir [Sari ve Chandrabose (2015)]. Bu çalışmalarda evirici topolojilerine ait detaylı dinamik analiz yapılmış, ancak devre yapılarında gerçek parazitik elemanlar hesaplamalarda

kullanılmamıştır. Bununla beraber evirici çalışmalarında geri beslemeli kontrolün nasıl yapıldığı ile ilgili herhangi bir tasarım bilgisi bulunmamaktadır.

Xu ve arkadaşlarının geliştirdiği evirici topolojisinde 4 aktif anahtar, 2 bobin, 2 kapasite kullanılmıştır [Xu vd. (2018)]. Bu çalışmada topolojiye ait detaylı dinamik analiz yapılmış ancak gerçek parazitik elemanlar göz önüne alınmamıştır. Elde edilen dinamik denklemlere bağlı olarak evirici büyük sinyal transfer fonksiyonu elde edilmiş, ancak küçük sinyal analizi yapılmamıştır. Bununla beraber evirici geri beslemeli kontrolü çalışması verilmemiştir.

Sreekanth ve arkadaşlarının yaptığı evirici çalışmasında evirici topolojisi 5 aktif anahtar, 2 diyot, 2 bobin, 1 kapasiteden oluşmaktadır [Sreekanth vd. (2016)]. Bu çalışmada topolojiye ait detaylı dinamik analiz yapılmış ancak yine gerçek parazitik elemanlar göz ardı edilmiştir. Çalışmada dinamik analiz ve transfer fonksiyonu analizi verilmeden klasik PI kontrolcünün geri beslemeli kontrolde kullanıldığı belirtilmiş, dolayısıyla kontrolcü tasarımı ile ilgili detay verilmemiştir.

Husev ve arkadaşları 8 aktif anahtar, 6 diyot, 4 bobin, 4 kapasiteden oluşan bir evirici topolojisi geliştirmiştir [Husev vd. (2015, 2016)]. Bu evirici topolojisine ait detaylı dinamik analiz yapılmış ancak gerçek parazitik elemanlar hem evirici topolojisinde hem de hesaplamalarda kullanılmamıştır. Eviriciye ait küçük sinyal dinamik analizi ve Bode analizleri detaylı bir şekilde verilmiş, ancak bu çalışmalara ait küçük sinyal transfer fonksiyonu verilmemiştir. Bununla beraber geri beslemeli kontrol yapısı ve analizi ile ilgili bilgi verilmemiştir.

Xu ve arkadaşlarının yaptığı diğer bir evirici çalışmasında evirici topolojisinde 3 aktif anahtar, 1 bobin, 1 kapasiteye ilaveten 1 adet kuplaj transformatörü kullanılmıştır [Xu vd. (2015)]. Daha önce bahsedilen çalışmalara benzer olarak devre topolojisinde gerçek parazitik elemanlar kullanılmamıştır. Buraya kadar bahsedilen çalışmalarda kullanılan geri beslemeli klasik kontrol yöntemlerinden farklı olarak, şebeke bağlantılı uygulamalarında kullanılmak üzere, geri beslemeli kontrole ilave ve destek olarak açık çevrim enerji modülasyonlu kontrol kullanılmıştır. Çalışmada eviriciye ait dinamik analiz ve transfer fonksiyonu analizi verilmemiştir. Dolayısıyla evirici kontrol tasarım analizi yapılmamıştır.

Yukarıda yapılan literatür özetinden görüleceği üzere yapılan evirici çalışmaları, maliyet ve karmaşıklık (kullanılan eleman türü ve sayısı), tasarım gerçekçiliği (pratik durumda göz önüne alınması gereken parametreler - gerçek parazitik elemanların göz önüne alınması), kontrol tasarımı, kontrol yöntemi ve koruma düzeni tasarımı (snubber – söndürme devreleri)

açısından artı ve eksikleri yönünden birlikte değerlendirilmelidir. Zira mevcut çalışmalardan görüleceği üzere bir çalışma bir açıdan diğerinden üstün özelliğe sahipken diğer bir özellik açısından eksik bir özelliğe sahip olabilmektedir. Bu sebeple, söz konusu tüm özellikler açısından mümkün olabilen üstünlüklerin arttırılabildiği bir tasarımın optimale yaklaşma adına doğru bir adım olacağı aşıkardır. Mevcut literatür özetinden açıkça görüleceği üzere projede yapılan çalışma sonucu ortaya çıkan alçaltıcı-yükseltici çevirici tabanlı bir fazlı eviricinin mevcut alçaltıcı-yükseltici çevirici tabanlı benzer evirici çalışmalarından üstün ve özgün yanları aşağıdaki gibi verilebilir:

- 1- Önerilen özgün alçaltıcı-yükseltici çevirici tabanlı evirici, 8 aktif anahtar, 1 bobin ve 1 kapasite gibi az eleman içeren düşük maliyetli bir topolojiye sahiptir. Aktif anahtarlardan 4 tanesi üretilmek istenen alternatif gerilim frekansının 2 katı bir frekansla (temel alçaltıcı-yükseltici çevirici çalışmasını belirleyen anahtarlama frekansına göre oldukça düşük) çalıştırıldığından anahtarlama kayıp değerleri oldukça küçüktür.
- 2- Evirici tasarımına ait tüm dinamik analizler pratik uygulama gerçekçiliğine uygun olarak gerçek parazitik elemanlar göz önüne alınarak yapılmıştır.
- 3- Eviricide kullanılan anahtarlama elemanlarının akım ve gerilim stresine karşı korunması için devre topolojisine uygun olarak söndürme (snubber) devreleri tasarlanmıştır.
- 4- Geri beslemeli kontrol tasarımı için eviriciye ait doğrusallaştırılmış sürekli ve ayırık işaret küçük sinyal analizi yapılmış ve kontrolcü tasarımında kullanılacak küçük sinyal evirici transfer fonksiyonu elde edilmiştir.
- 5- Evirici kontrolü için PID kontrolcülü geri beslemeli kontrol ile bu geri beslemeli kontrolcüyü destekleyen ve evirici performansını arttırmaya yardımcı olacak özgün açık çevrim "kontrol kuralı" tekniği kullanılmıştır.
- 6- Madde 5' e uygun ayırık zaman evirici kontrolü için ayırık PID kontrolcü tasarımı yapılmıştır.

3. GEREÇ VE YÖNTEM

Bu bölümde, proje önerisinde belirtilen amaç ve hedeflere ulaşmak için, proje konusu önerilen alçaltıcı-yükseltici çevirici tabanlı bir fazlı evirici topolojisi ve evirici kontrol yönteminin teorik tasarım ve analizi ile önerilen evirici prototip gerçekleştirilmesi verilmiştir. Proje önerisinde de belirtildiği üzere proje çalışmasında, filtre amaçlı kuplaj transformatörü ve pasif filtre kullanımına gerek kalmadan, çıkışında sinüs formuna oldukça yakın ve böylelikle harmonik derecesi oldukça düşük bir fazlı gerilim üretebilen, farklı yük koşullarında istenilen genlik ve frekansta çıkış gerilimi ayarlanabilen alçaltıcı-yükseltici çevirici tabanlı yeni bir topolojiye haiz bir fazlı bir evirici tasarımı ve bu tasarıma ait prototipinin yapılması amaçlanmaktadır. 0.5 kW gücünde tasarlanacak evirici sinüsoidal çıkış gerilimi tepe değerinin 0-100 V aralığında, evirici çıkış gerilimi frekansının 0-50 Hz aralığında değiştirilebilmesi amaçlanmıştır. Bu bağlamda yapılan tüm tasarım ve analiz adımları detaylı olarak alt bölümlerde verilmiştir.

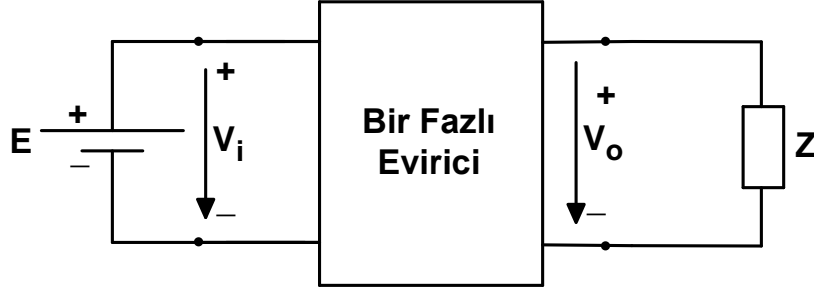
3.1. Alçaltıcı-Yükseltici Çevirici Tabanlı Bir Fazlı Evirici Tasarım ve Analizi

Bu bölümde, önerilen evirici topolojisi, evirici çalışma metodu, evirici çalışmasına ait dinamik analiz, eviricide kullanılan anahtarlama elemanları için söndürme (snubber) devre tasarımı, evirici çalışmasının kontrolü için önerilen kontrol yapısının tasarımı verilmiştir. Böylelikle oluşturulan evirici prototipi tasarımının teorik temeli oluşturulmuştur.

3.1.1. Önerilen Evirici Topolojisi

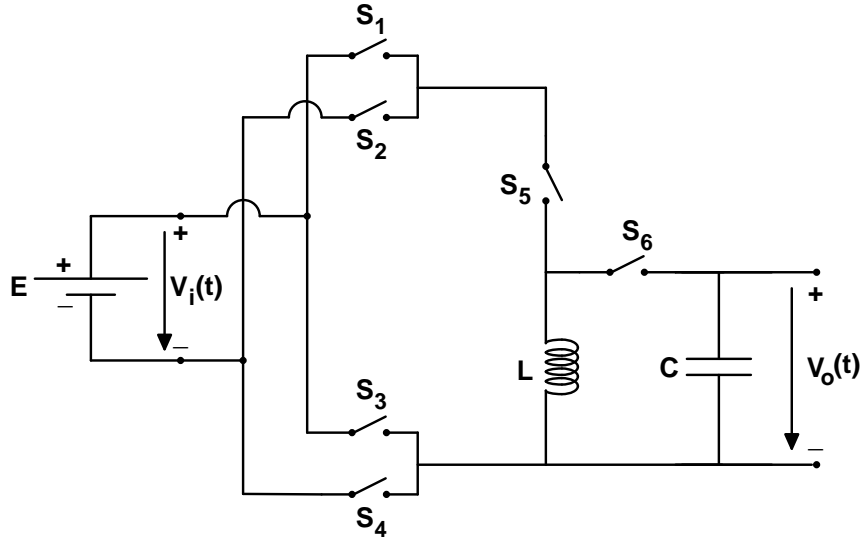
Önerilen alçaltıcı-yükseltici çevirici tabanlı bir fazlı eviriciye ait genel gösterim (evirici giriş ve çıkış gerilimi ile evirici çıkışına bağlanacak yük) Şekil 1' deki gibi verilebilir. Burada E bir fazlı evirici girişini besleyecek giriş doğru gerilim kaynağına ait gerilim değerini göstermektedir. V_i bir fazlı evirici giriş doğru gerilim değerini göstermektedir. V_o bir fazlı evirici çıkış gerilimini göstermektedir. Z ise bir fazlı evirici çıkışına bağlanacak bir fazlı yüke ait empedans değerini ifade etmektedir. V_i gerilim değeri, doğru gerilim kaynak gerilimi E , Eşitlik (1) değerine eşittir. Pratikte E gerilim değeri zamanla değişkenlik gösterebilir.

$$V_i(t) = E \quad (1)$$



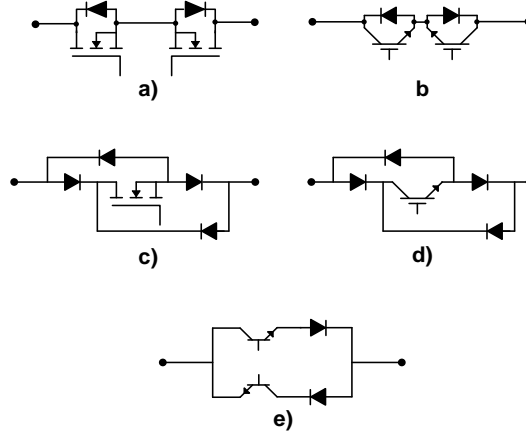
Şekil 1. Önerilen alçaltıcı-yükseltici çevirici tabanlı eviriciye ait genel gösterim

Şekil 1' de temsili gösterimi verilen bir fazlı evirici topolojisine ait önerilen devre yapısı Şekil 2' de gösterildiği gibidir.



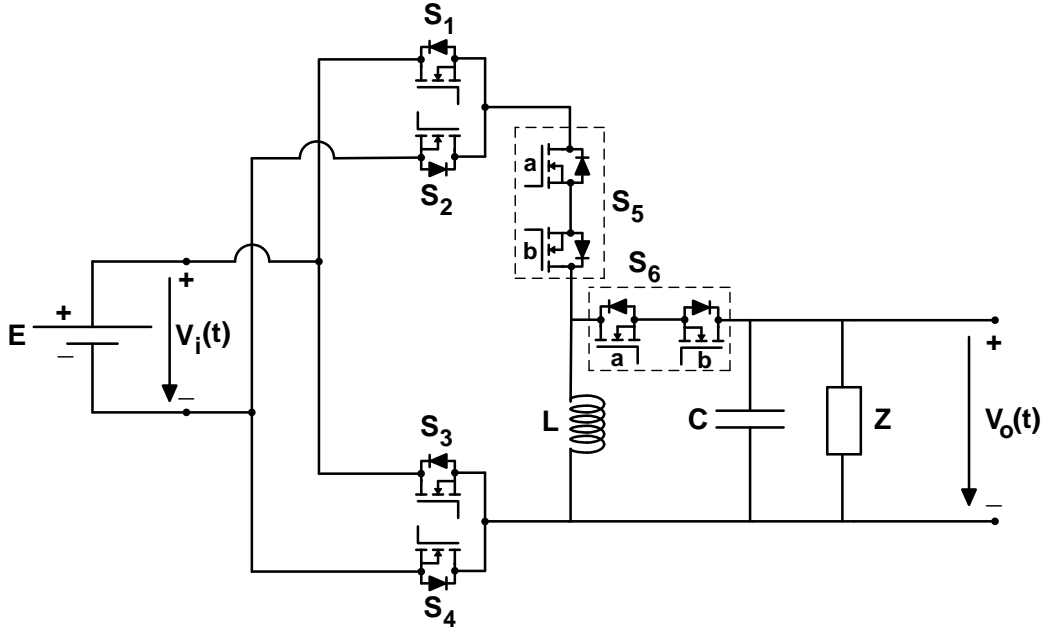
Şekil 2. Önerilen alçaltıcı-yükseltici çevirici tabanlı eviriciye ait devre gösterimi

Şekil 2' de verilen bir fazlı evirici devre yapısında, S_1 , S_2 , S_3 ve S_4 anahtarları, MOSFET, IGBT, BJT vb. gibi tek yönlü akım geçişine izin veren ve hem iletim hem de kesime sokulması kontrol edilebilen güç elektroniği anahtarlama elemanıdır. S_5 ve S_6 anahtarları ise, Şekil 3' te örnek alternatifleri verilen, iki yönlü akım geçişine izin veren, hem iletim hem de kesime sokulması kontrol edilebilen birden fazla güç elektroniği anahtarlama elemanı kullanılarak oluşturulmuş yapıdır.



Şekil 3. Farklı anahtarlama elemanları ile oluşturulmuş örnek iki yönlü akım geçişine izin veren çift yönlü anahtar yapıları

İdealde kapı devresinde güç harcamaksızın gerilim kontrolüyle basit sürülebilme özellikleri, yüksek anahtarlama frekanslarına sahip olmaları ve iletim esnasında çok küçük statik direnç değerleri bulunan modellere sahip olmaları sebebiyle, bu projede güç elektroniği anahtarlama elemanı olarak MOSFET kullanılmıştır. S_1 , S_2 , S_3 ve S_4 anahtarları için ters paralel bağlı diyota sahip MOSFET kullanılarak ve S_5 ve S_6 anahtarları için Şekil 3a' da verilen ters paralel bağlı diyota sahip iki MOSFETten oluşan yapı kullanılarak tasarlanan bir fazlı evirici yapısı Şekil 4' te gösterilmiştir.



Şekil 4. Anahtarlama elemanı olarak MOSFET kullanılmış önerilen evirici devre yapısı

3.1.2. Evirici Çalışması

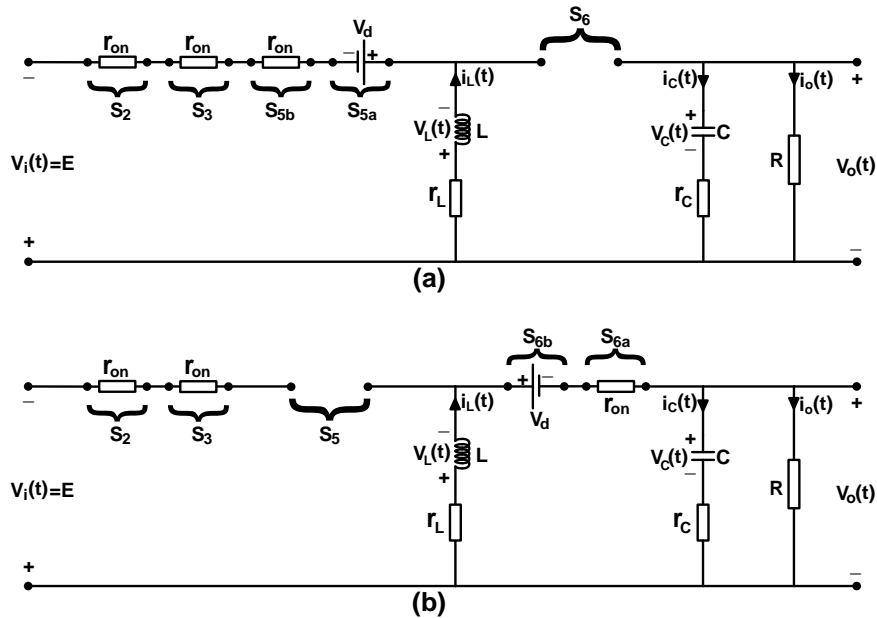
Bir fazlı eviricinin çalışması alçaltıcı-yükseltici çevirici temeline dayalıdır ve Şekil 2' de verilen genel anahtar gösterimli topoloji üzerinden açıklanabilir. S_5 anahtarı iletimde ve S_6 anahtarı kesimde olduğunda S_5 anahtar girişinde bulunan gerilim L bobinini enerjilendirir. S_5 anahtarı kesimde ve S_6 anahtarı iletimde olduğunda daha önceden enerjilendirilmiş olan L bobini, C kapasitesini ve Z yükünü besler. Burada Z yükü saf omik, endüktif ya da kapasitif karakterde olabilir. Böylelikle S_5 anahtarına ait anahtarlama oranına bağlı olarak evirici giriş gerilimi çıkışta, giriş gerilim değerinden daha küçük, eşit ya da daha büyük değer alacak şekilde ayarlanır. Evirici çıkış geriliminin polaritesi S_1 , S_2 , S_3 ve S_4 anahtarlarının kontrolü ile yapılır. S_1 ve S_4 anahtarı iletimde, S_2 ve S_3 anahtarları kesimde olduğunda V_i evirici giriş gerilimi S_5 anahtar girişine aynı polaritede ulaşır. Böylelikle S_5 anahtarı anahtarlama oranına bağlı olarak, V_o evirici çıkış gerilimi belirtilen polariteye göre negatif değer alır. S_2 ve S_3 anahtarları iletimde, S_1 ve S_4 anahtarları kesimde olduğunda V_i evirici giriş gerilimi terslenerek S_5 anahtar girişine ters polaritede ulaşır. Böylelikle S_5 anahtarı anahtarlama oranına bağlı olarak, V_o evirici çıkış gerilimi belirtilen polariteye göre pozitif değer alır. S_1 , S_2 , S_3 ve S_4 anahtarlarının kontrolüyle elde edilen S_5 anahtar giriş

geriliminden (pozitif ya da negatif V_i değeri), V_o sinüsoidal çıkış gerilimini üretecek S_5 anahtarına ait anahtarlama oranı belirlenir. T , t_{on} , t_{off} ve d sırasıyla S_5 anahtarına ait anahtarlama süresi, anahtarın iletimde kaldığı süre, anahtarın kesimde kaldığı süre ve anahtarlama oranını belirtir. Burada anahtarlama oranı aşağıdaki gibi tanımlanabilir:

$$d = \frac{t_{on}}{T} \quad (2)$$

3.1.3. Evirici Dinamik Analizi

Önerilen bir fazlı eviricinin kontrol edilebilmesi için evirici dinamik analizinin yapılması ve anahtarlama oranı-çıkış gerilimi transfer fonksiyonunun elde edilmesi gerekmektedir. Bu amaçla, prototip gerçekleştirilmesinde kullanılan Şekil 4' te verilen evirici devre yapısında gerçek parazitik elemanlar göz önüne alınmıştır. Alçaltıcı-yükseltici çevirici tabanlı evirici çıkışında yarı pozitif alternans sinüsoidal gerilim üretilmesi aşamasına ait eşdeğer devre Şekil 5' te verilmiştir.



Şekil 5. Evirici eşdeğer modeli – pozitif alternans çıkış gerilimi üretimi: (a) İletim modu – S_5 iletimde S_6 kesimde, (b) Kesim modu – S_6 iletimde S_5 kesimde

Şekil 5' te r_{on} , V_d , r_L , r_C , $V_L(t)$, $i_L(t)$, $V_C(t)$, $i_C(t)$, $i_o(t)$ ve R sırasıyla, MOSFET iletim direncini, MOSFET ters paralel bağlı diyot doğru kutuplama gerilimini, bobin eşdeğer seri

direncini, kapasite eşdeğer seri direncini, bobin gerilimini, bobin akımını, kapasite gerilimini, kapasite akımını, yük akımını ve yük direncini göstermektedir. Anahtarlama elemanı olarak kullanılan tüm MOSFET elemanları özdeş olarak seçilmiştir.

S_5 anahtarının iletimde dolayısıyla S_6 anahtarının kesimde olduğu Şekil 5a' da iletim modunda verilen eşdeğer devre üzerinden iletim moduna ait durum değişkeni olan bobin akımı ve çıkış gerilimi için dinamik ifadeler aşağıdaki gibi elde edilebilir:

Şekil 5a' daki devrenin sol tarafındaki kapalı çevreye Kirchhoff gerilim yasası uygulanırsa,

$$-V_i(t) + (r_L + 3r_{on})i_L(t) + V_d + L \frac{di_L(t)}{dt} = 0 \quad (3)$$

eşitliği elde edilir. Eşitlik (3)' ten iletim modu bobin akımı durum denklemini aşağıdaki gibi elde edilir.

$$\frac{di_L(t)}{dt} = -\frac{1}{L}(r_L + 3r_{on})i_L(t) + \frac{1}{L}[V_i(t) - V_d] \quad (4)$$

Şekil 5a' daki devrenin sağ tarafındaki kapalı çevreye Kirchhoff akım ve gerilim yasası uygulanırsa, sırasıyla birbirinden düzenlenerek aşağıdaki eşitlikler elde edilir.

$$V_C(t) + i_C(t)r_C = V_o(t), \quad i_C(t) = -i_o(t) \longrightarrow V_C(t) - i_o(t)r_C = V_o(t) \quad (5)$$

$$V_C(t) = i_o(t)r_C + V_o(t), \quad i_o(t) = \frac{V_o(t)}{R} \longrightarrow V_C(t) = V_o(t) + \frac{V_o(t)}{R}r_C \quad (6)$$

$$V_C(t) = \left(1 + \frac{r_C}{R}\right)V_o(t) \quad (7)$$

$$C \frac{dV_C(t)}{dt} = C \left(1 + \frac{r_C}{R}\right) \frac{dV_o(t)}{dt} = i_C(t) = -i_o(t) = -\frac{V_o(t)}{R} \quad (8)$$

Eşitlik (8)' den iletim modu çıkış gerilimi durum denklemini aşağıdaki gibi elde edilir.

$$\frac{dV_o(t)}{dt} = -\frac{1}{RC\left(1+\frac{r_c}{R}\right)}V_o(t) \quad (9)$$

S_6 anahtarının iletimde dolayısıyla S_5 anahtarının kesimde olduğu Şekil 5b' de kesim modunda verilen eşdeğer devre üzerinden kesim moduna ait durum değişkeni olan bobin akımı ve çıkış gerilimi için dinamik ifadeler aşağıdaki gibi elde edilebilir:

Şekil 5b' deki devrenin sol tarafındaki kapalı çevreye Kirchhoff gerilim yasası uygulanırsa,

$$L\frac{di_L(t)}{dt} + (r_L + r_{on})i_L(t) + V_d + V_o(t) = 0 \quad (10)$$

eşitliği elde edilir. Eşitlik (10) düzenlenirse kesim modu bobin akımı durum denklemini aşağıdaki gibi elde edilir.

$$\frac{di_L(t)}{dt} = -\frac{1}{L}(r_L + r_{on})i_L(t) - \frac{1}{L}[V_o(t) + V_d] \quad (11)$$

Şekil 5b' deki devrenin sağ tarafındaki kapalı çevreye Kirchhoff gerilim yasası ve sol ile sağ taraftaki kapalı çevrelere birlikte Kirchhoff akım yasası uygulanırsa, sırasıyla birbirinden düzenlenerek aşağıdaki eşitlikler elde edilir.

$$i_L(t) = i_c(t) + i_o(t) \longrightarrow i_c(t) = i_L(t) - i_o(t) \quad (12)$$

$$C\frac{dV_C(t)}{dt} = i_L(t) - \frac{V_o(t)}{R} \quad (13)$$

$$\begin{aligned} V_C(t) + r_c i_c(t) &= V_o(t) \longrightarrow V_C(t) + r_c [i_L(t) - i_o(t)] = V_o(t) \\ \longrightarrow V_C(t) + r_c \left[i_L(t) - \frac{V_o(t)}{R} \right] &= V_o(t) \end{aligned} \quad (14)$$

$$V_C(t) = V_o(t) - r_c \left[i_L(t) - \frac{V_o(t)}{R} \right] \longrightarrow V_C(t) = V_o(t) + \frac{r_c}{R} V_o(t) - r_c i_L(t) \quad (15)$$

$$\longrightarrow V_C(t) = \left(1 + \frac{r_c}{R} \right) V_o(t) - r_c i_L(t)$$

$$\frac{dV_C(t)}{dt} = \left(1 + \frac{r_c}{R} \right) \frac{dV_o(t)}{dt} - r_c \frac{di_L(t)}{dt} \quad \left(L \frac{di_L(t)}{dt} = V_L(t) \longrightarrow \frac{di_L(t)}{dt} = \frac{1}{L} V_L(t) \right) \quad (16)$$

$$\frac{dV_C(t)}{dt} = \left(1 + \frac{r_c}{R} \right) \frac{dV_o(t)}{dt} - \frac{r_c}{L} V_L(t) \quad (17)$$

$$V_L(t) + (r_L + r_{on}) i_L(t) + V_d + V_o(t) = 0 \quad (18)$$

$$V_L(t) = -(r_L + r_{on}) i_L(t) - V_o(t) - V_d \quad (19)$$

$$\frac{dV_C(t)}{dt} = \left(1 + \frac{r_c}{R} \right) \frac{dV_o(t)}{dt} - \frac{r_c}{L} [-(r_L + r_{on}) i_L(t) - V_o(t) - V_d] \quad (20)$$

$$\frac{dV_C(t)}{dt} = \left(1 + \frac{r_c}{R} \right) \frac{dV_o(t)}{dt} + \frac{r_c}{L} (r_L + r_{on}) i_L(t) + \frac{r_c}{L} V_o(t) + \frac{r_c}{L} V_d \quad (21)$$

$$i_c(t) = i_L(t) - i_o(t) \longrightarrow C \frac{dV_C(t)}{dt} = i_L(t) - i_o(t) \quad (22)$$

$$\frac{dV_C(t)}{dt} = \frac{1}{C} i_L(t) - \frac{1}{C} i_o(t) \longrightarrow \frac{dV_C(t)}{dt} = \frac{1}{C} i_L(t) - \frac{1}{RC} V_o(t) \quad (23)$$

$$\left(1 + \frac{r_c}{R} \right) \frac{dV_o(t)}{dt} + \frac{r_c}{L} (r_L + r_{on}) i_L(t) + \frac{r_c}{L} V_o(t) + \frac{r_c}{L} V_d = \frac{1}{C} i_L(t) - \frac{1}{RC} V_o(t) \quad (24)$$

$$\left(1 + \frac{r_c}{R}\right) \frac{dV_o(t)}{dt} = -\frac{r_c}{L}(r_L + r_{on})i_L(t) + \frac{1}{C}i_L(t) - \frac{r_c}{L}V_o(t) - \frac{1}{RC}V_o(t) - \frac{r_c}{L}V_d \quad (25)$$

$$\left(\frac{R+r_c}{R}\right) \frac{dV_o(t)}{dt} = \left[\frac{1}{C} - \frac{r_c}{L}(r_L + r_{on})\right]i_L(t) - \left(\frac{r_c}{L} + \frac{1}{RC}\right)V_o(t) - \frac{r_c}{L}V_d \quad (26)$$

Eşitlik (26)' dan kesim modu çıkış gerilimi durum denklemi aşağıdaki gibi elde edilir.

$$\begin{aligned} \frac{dV_o(t)}{dt} = & \left(\frac{R}{R+r_c}\right) \left[\frac{1}{C} - \frac{r_c}{L}(r_L + r_{on})\right] i_L(t) \\ & - \left(\frac{R}{R+r_c}\right) \left(\frac{r_c}{L} + \frac{1}{RC}\right) V_o(t) - \frac{r_c R}{(R+r_c)L} V_d \end{aligned} \quad (27)$$

Eşitlik (4) ve (9) düzenlenirse, evirici iletim modu durum-uzayı modeli matris formunda aşağıdaki gibi verilebilir.

$$\begin{bmatrix} \dot{i}_L(t) \\ V_o(t) \end{bmatrix} = \begin{bmatrix} -\frac{1}{L}(r_L + 3r_{on}) & 0 \\ 0 & -\frac{1}{(R+r_L)C} \end{bmatrix} \begin{bmatrix} i_L(t) \\ V_o(t) \end{bmatrix} + \begin{bmatrix} \frac{1}{L} & -\frac{1}{L} \\ 0 & 0 \end{bmatrix} \begin{bmatrix} V_i(t) \\ V_d \end{bmatrix} \quad (28)$$

Eşitlik (11) ve (27) düzenlenirse, evirici kesim modu durum-uzayı modeli matris formunda aşağıdaki gibi verilebilir.

$$\begin{aligned} \begin{bmatrix} \dot{i}_L(t) \\ V_o(t) \end{bmatrix} = & \begin{bmatrix} -\frac{1}{L}(r_L + r_{on}) & -\frac{1}{L} \\ \frac{R}{R+r_c} \left[\frac{1}{C} - \frac{r_c}{L}(r_L + r_{on})\right] & -\frac{R}{R+r_c} \left(\frac{r_c}{L} + \frac{1}{RC}\right) \end{bmatrix} \begin{bmatrix} i_L(t) \\ V_o(t) \end{bmatrix} \\ & + \begin{bmatrix} 0 & -\frac{1}{L} \\ 0 & -\frac{r_c R}{(R+r_c)L} \end{bmatrix} \begin{bmatrix} V_i(t) \\ V_d \end{bmatrix} \end{aligned} \quad (29)$$

Daha önceden belirtildiği üzere, Şekil 5' te alçaltıcı-yükseltici çevirici tabanlı evirici çıkışında yarı pozitif alternans sinüsoidal gerilim üretilmesi aşamasına ait eşdeğer devre verilmiştir. Yarı negatif alternans sinüsoidal gerilim üretilmesi için S_1 , S_2 , S_3 ve S_4 anahtarlarının konum değiştirmesi durumunda ortaya çıkacak devrede, Şekil 5' te verilen akım ve gerilim büyüklüklerinin yön ve işaret değiştireceği aşıkardır. Bu durumda evirici devresi çalışmasına ait iletim ve kesim modu dinamik analiz eşitlikleri yukarıda verilen eşitliklerle aynı olacaktır. Dolayısıyla, Eşitlik (28) ve (29) ile elde edilen durum uzayı eşitlikleri, yarı negatif alternans sinüsoidal gerilim üretilmesi için S_1 , S_2 , S_3 ve S_4 anahtarlarının konum değiştirdiği durumda da geçerlidir. Eşitlik (28) ve (29)'daki durum uzayı modellerinden, evirici anahtarlama oranı d ile evirici çıkış gerilimi $V_o(t)$ arasındaki doğrusallaştırılmış küçük sinyal transfer fonksiyonu aşağıdaki gibi elde edilir.

$$G_s(s) = \frac{\hat{V}_o(s)}{d(s)} = \frac{gs + (ag + cf)}{s^2 + (a + e)s + (ae - bc)} \quad (30)$$

Eşitlik (30)'daki a , b , c , e , f ve g katsayıları aşağıda verilmiştir.

$$a = \frac{\left(r_L + (1 + 2\bar{D})r_{on} \right)}{L} \quad (31)$$

$$b = -\frac{(1 - \bar{D})}{L} \quad (32)$$

$$c = (1 - \bar{D}) \frac{R}{R + r_c} \left[\frac{1}{C} - \frac{r_c}{L} (r_L + r_{on}) \right] \quad (33)$$

$$e = \frac{\bar{D}}{(R + r_L)C} + (1 - \bar{D}) \frac{R}{R + r_c} \left(\frac{r_c}{L} + \frac{1}{RC} \right) \quad (34)$$

$$f = -\frac{2r_{on}}{L} \bar{i}_L + \frac{\bar{V}_o}{L} + \frac{V_i(t)}{L} \quad (35)$$

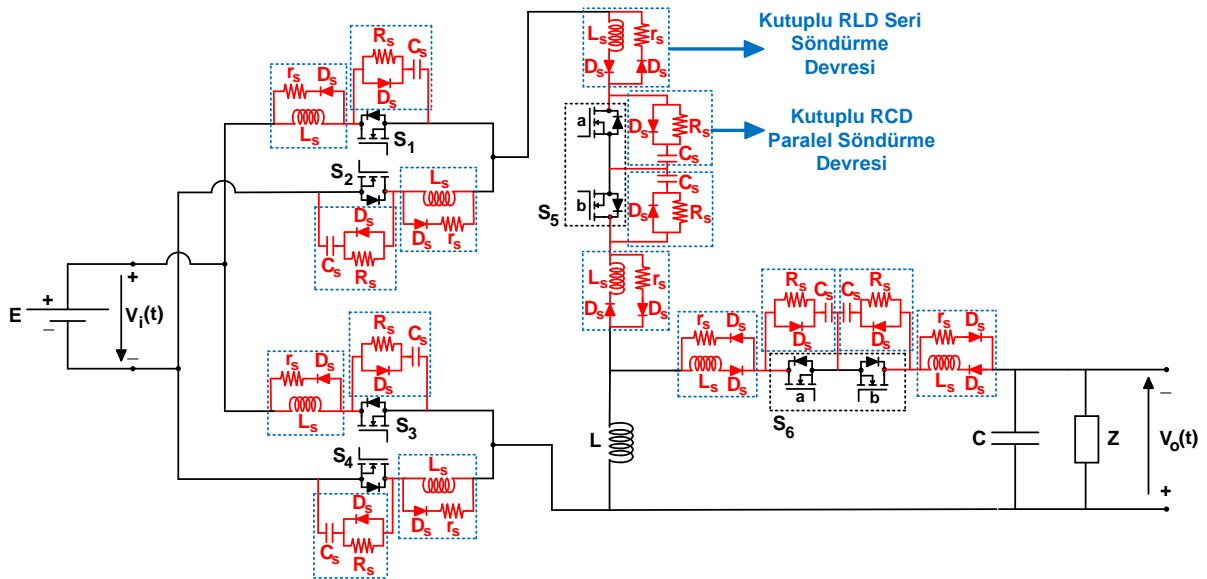
$$g = -\frac{R}{R+r_c} \left[\frac{1}{C} - \frac{r_c}{L} (r_L + r_{on}) \right] \bar{i}_L - \left[\frac{1}{(R+r_c)C} - \frac{R}{(R+r_c)} \left(\frac{r_c}{L} + \frac{1}{RC} \right) \right] \bar{V}_o + \frac{r_c R}{(R+r_c)L} V_d \quad (36)$$

Eşitlik (31)-(36)' da \bar{D} ve \bar{V}_o sırasıyla, çalışma noktasındaki anahtarlama oranını ve evirici çıkış gerilimi değerini göstermektedir. Çalışma noktasındaki evirici çıkış gerilim değeri ise aşağıdaki gibi hesaplanır.

$$\bar{V}_o = \frac{\bar{D} V_i}{1 - \bar{D}} \quad (37)$$

3.1.4. Söndürme (Snubber) Devre Tasarımı

Önerilen evirici yapısında kullanılan $S_1, S_2, S_3, S_4, S_{5a}, S_{5b}, S_{6a}$ ve S_{6b} MOSFET anahtarlarını evirici çalışması sırasında akım ve gerilim streslerine karşı korumak için, evirici topolojisi de göz önüne alınarak söndürme (snubber) devre yapıları tasarlanmıştır. Söndürme (snubber) devreleri, temel evirici topolojisi göz önüne alınarak tasarlandığı için, her bir anahtara ait söndürme devrelerinin Şekil 4'te verilen MOSFET anahtarlı evirici devresi ile birlikte gösterimi Şekil 6'da gösterilmiştir.



Şekil 6. MOSFET anahtarlama elemanları için söndürme (snubber) devreleri dahil edilmiş önerilen evirici devre yapısı

Şekil 6' dan görüleceği üzere her bir MOSFET anahtarlama elemanı için devre topolojisine uygun olacak şekilde iki adet kutuplu söndürme devresi tasarlanmıştır: Kutuplu RLD seri söndürme devresi ve Kutuplu RCD paralel söndürme devresi.

RLD seri söndürme devresinde bulunan değeri çok küçük L_S endüktansı, anahtar iletme sokulduğunda akım yükselme hızı di/dt oranını azaltarak anahtarın idealde sıfır akım ile anahtarlanmasını sağlar. Bu sayede iletme sokulma esnasında anahtar üzerinde anahtarlama kaybı oluşmasını önler. Böylece anahtarın ısınarak zarar görmesini önler ve soğutucu boyutunu küçülterek soğutucu maliyetini azaltır. Gerçekte anahtarlama kaybının eviricide oluşması engellenmez. Anahtarlama kaybı enerjisi L_S endüktansında depolanır. Anahtar kesime sokulduğunda, L_S endüktansında depolanan enerji başka bir birimde harcanamazsa endüktans üzerinde büyük bir EMK oluşmasına ve anahtara yüksek gerilim gelerek anahtarın zarar görmesine neden olur. Bu sebeple L_S endüktansına paralel bir r_S direnci bağlanır. Anahtar kesime gittiğinde, anahtar uçlarında, anahtar giriş gerilimine ilaveten L_S endüktans akımı ile r_S direncinin çarpımı kadar bir gerilime maruz kalır. Anahtarın aşırı gerilim sebebiyle zarar görmemesi için r_S değerinin çok küçük seçilmesi gerekmektedir. Ancak bu durumda anahtar akımı için L_S yoluna göre r_S üzerinden düşük empedanslı bir yol oluşur. Bu da L_S endüktansının anahtar akımı yükselme hızı di/dt oranını azaltma etkisini ortadan kaldırır. Bu sorunu ortadan kaldırmak için anahtar akım yönüne ters yönde bir D_S diyotu r_S direncine seri olarak bağlanır. Şekil 6'dan görüldüğü üzere S_1 , S_2 , S_3 , S_4 tek yönlü anahtarlarından farklı olarak, S_5 çift yönlü anahtarını oluşturan S_{5a} ve S_{5b} anahtarları ile S_6 çift yönlü anahtarını oluşturan S_{6a} ve S_{6b} anahtarlarına ait seri söndürme devrelerinde, L_S endüktansına seri olarak anahtar akımı ile aynı yönde olan bir D_S diyotu bağlanmıştır. Bu diyot, ilgili anahtar kesimde iken, çift yönlü anahtara ait diğer anahtar iletimde olduğundan ters yönlü akımın endüktanstan akmasını engeller.

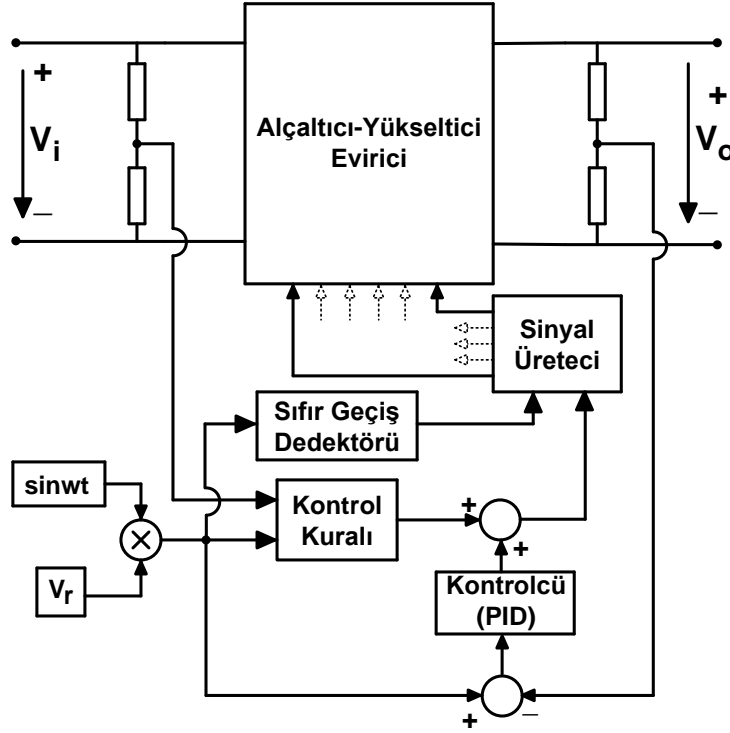
RCD paralel söndürme devresinde bulunan değeri çok küçük C_S kapasitesi, anahtar kesime sokulduğunda gerilim yükselme hızı dv/dt oranını azaltarak anahtarın idealde sıfır gerilim ile anahtarlanmasını sağlar. Bu sayede kesime sokulma esnasında anahtar üzerinde anahtarlama kaybı oluşmasını önler. Böylece anahtarın ısınarak zarar görmesini önler ve soğutucu boyutunu küçülterek soğutucu maliyetini azaltır. Ayrıca anahtar kesime sokulduğunda, pratik devre yapısında iletim yollarında bulunan kaçak endüktans üzerinden akım kesilmeye zorlandığından, bu kaçak endüktans üzerinde bir EMK endüklenmesine

sebepl olur. Endüklenen EMK anahtar uçlarına gelen net gerilimin yükselmesine ve anahtarın aşırı gerilim sebebiyle zarar görmesine sebepl olur. Anahtara paralel bağlanan RCD söndürme devresindeki C_s kapasitesi hem kaçak endüktanstan kesimden önceki akım için bir yol oluşturur hem de kapasitenin gerilim değışimlerine karşı gösterdiği dinamik özelliđi ile kesim esnasında anahtar uçlarında aşırı gerilim oluşmasını söndürür. Böylece anahtar kesim esnasındaki aşırı gerilimlere karşı korur. Seri söndürme devresinde olduğu gibi gerçekte anahtarlama kaybının eviricide oluşması engellenmez. Anahtarlama kaybı enerjisi C_s kapasitesinde depolanır. Anahtar ilettime sokulduğunda, C_s kapasitesinde depolanan enerji başka bir birimde harcanamazsa kapasitede depolanan yük anahtar üzerinden büyük bir boşalma akımının akmasına ve anahtarın zarar görmesine neden olur. Bu sebeple C_s kapasitesine seri bir r_s direnci bağlanır. Anahtar ilettime sokulduğunda, anahtar içinden, evirici bobin akımına ilaveten C_s kapasite gerilimi ile r_s direncinin oranı kadar bir akıma maruz kalır. Anahtarın aşırı akım sebebiyle zarar görmemesi için r_s değeriinin çok büyük seçilmesi gerekmektedir. Ancak bu durumda anahtar kesime sokulduğunda, kapasite gerilimine seri olarak büyük bir gerilim düşümü oluşur ve anahtarın aşırı gerilime maruz kalarak zarar görmesine neden olur. Bu sorunu ortadan kaldırmak için anahtar akım yönü ile anı yönde bir D_s diyotu r_s direncine paralel olarak bağlanır.

Seri ve paralel söndürme (snubber) devrelerinin evirici temel çalışmasına etkisi olmadığından (daha doğrusu ihmal edilecek seviyede olduğundan), Bölüm 3.1.3'te verilen evirici dinamik analizinde bu söndürme devre parametreleri göz önüne alınmamıştır.

3.1.5. Evirici Kontrolü

Önerilen eviricinin çalışmasının kontrolü Şekil 7'de verilen genel kontrol yapısı üzerinden verilebilir. Şekil 7'den görüldüğü üzere evirici çıkışında üretilmek istenen sinüsodal alternatif gerilimin kontrolü, geri beslemeli kontrol ve "kontrol kuralı" olarak önerilen açık çevrim kontrol ile sağlanmaktadır. Proje önerisinde geri beslemeli kontrolcü olarak PI kontrolcünün kullanılması önerilmişse de, proje süresince yapılan benzetim analizlerinde PID kontrolcünün kullanılmasının PI kontrolcüye göre yerleşme zamanı ve aşım performans kriterleri açısından daha verimli olduğu tespit edilmiştir. Bu sebeple projede evirici kontrolünde geri beslemeli kontrolcü olarak PID kullanılmıştır.



Şekil 7. Evirici genel kontrol yapısı

Şekil 7'de V_r , evirici çıkışında oluşturulmak istenen sinüsoidal alternatif gerilime ait referans tepe değeri olup, bu değer evirici giriş gerilimi V_i ' den küçük, eşit ya da büyük olabilir. Bir fazlı evirici çıkışında elde edilmek istenen sinüsoidal gerilimi belirleyecek referans sinüsoidal gerilim fonksiyonu;

$$V_{ref}(t) = V_r \sin \omega t \quad (38)$$

olarak verilir. Referans sinüsoidal gerilime ait açısal frekans değeri ω , evirici çıkışında üretilmek istenen bir fazlı sinüsoidal gerilimin frekansını belirler. Böylelikle, evirici çıkışında üretilmek istenen bir fazlı sinüsoidal gerilimin hem genliği hem de frekansı referans gerilim fonksiyonu ile belirlenir.

Sıfır geçiş dedektörü, referans sinüsoidal gerilimin alternansını belirler. Referans gerilimin alternansı negatif olarak belirlendiğinde, işaret üretici S_1 ve S_4 anahtarlarını iletme, S_2 ve S_3 anahtarlarını kesime sokacak işaretleri üretir. Böylelikle S_5 anahtar giriş gerilimi V_i giriş gerilimi polaritesine göre pozitif değer alır. Dolayısıyla evirici çıkış gerilimi V_o , belirtilen polariteye göre negatif değer alır. Benzer şekilde, sıfır geçiş dedektörü referans gerilimin

alternansını pozitif olarak belirlediğinde, işaret üretici S_2 ve S_3 anahtarlarını iletme, S_1 ve S_4 anahtarlarını kesime sokacak işaretleri üretir. Böylelikle S_5 anahtar giriş gerilimi V_i giriş gerilimi polaritesine göre negatif değer alır. Dolayısıyla evirici çıkış gerilimi V_o , belirtilen polariteye göre pozitif değer alır.

Şekil 7'den görüldüğü üzere, referans sinüsoidal gerilimi ile evirici çıkış gerilimi arasındaki hatayı sıfırlayacak şekilde çıkış geriliminin üretilmesinin kontrol edilmesini sağlayan, PID kontrolcülü geri beslemeli kontrol alt yapısıdır. Açık çevrim olarak geri beslemeli kontrolü destekleyen ve projede önerilen "kontrol kuralı" adlı kontrol yapısı ise geri beslemeli PID kontrolcüyü destekleyici kontrol işareti üretmektedir. Önerilen evirici topolojisi alçaltıcı-yükseltici çevirici çalışması temeline dayandığı için kontrol kuralı, ideal durum ve sürekli akım çalışması göz önüne alındığında, alçaltıcı-yükseltici çevirici çıkış gerilimini sağlayacak anahtarlama oranı değerini vermektedir. Bu anahtarlama oranı değerinin, evirici ideal olmayan elemanlar içerdiğinde ve/veya kesintili akım modu çalışması durumunda gerçekçi evirici çalışmasını sağlayamayacağı aşıkardır. Ancak, kontrol kuralı ile elde edilen anahtarlama oranı değerinin, proje konusu olan evirici çalışması gibi çevirici parametrelerinin sürekli değiştiği çalışma durumlarında, gerçek çalışma noktasına ait anahtarlama oranı civarında olacağı aşıkardır. Böylece statik olan kontrol kuralı, referans gerilimle gerçek çıkış gerilimi arasındaki hatayı sıfırlayacak dinamik geri beslemeli PID kontrolcüyü destekleyerek, çıkış geriliminin referans gerilimi takip etme performansını arttırmaktadır.

İdeal çalışma durumu ve kesintisiz akım modu göz önüne alındığında iyi bilinen alçaltıcı-yükseltici çevirici eşitliklerinden faydalanarak;

$$\frac{V_o(wt) = V_r \sin(wt)}{V_i(wt)} = \frac{d}{1-d} \quad (39)$$

eşitliği yazılabilir. Eşitlik (39)'da yer alan anahtarlama oranı değerinin, yukarıda yapılan açıklamalardan açıkça görüleceği üzere kontrol kuralı olarak tanımlanan açık çevrim anahtarlama değeri olduğu aşıkardır ve bu değer Eşitlik (39)'dan aşağıdaki gibi verilebilir.

$$d_{KK}(wt) = \frac{|V_r \sin wt|}{V_i(wt) + |V_r \sin wt|} \quad (40)$$

Böylece, PID kontrolcülü geri beslemeli kontrol alt yapısı ve önerilen açık çevrim kontrol kuralı kontrol yapısı birleşiminden oluşan ana kontrol yapısı, evirici çalışmasını belirleyen toplam d anahtarlama oranını belirler;

$$d(wt) = d_{KK}(wt) + d_{PID}(wt) \quad (41)$$

Eşitlik (41) ile elde edilen anahtarlama oranına bağlı olarak elde edilen t_{on} süresi boyunca S_5 anahtarı ilettime sokulur. S_5 anahtarı iletimde olduğu sürece S_6 anahtarı kesimde tutulur. t_{off} süresi boyunca ise S_5 anahtarı kesime sokulur. S_5 anahtarı kesimde olduğu sürece S_6 anahtarı iletimde tutulur. S_5 ve S_6 anahtarlarına ait kontrol işaretleri işaret üretici tarafından üretilir. Böylelikle evirici çıkışı bir fazlı gerilimi açısal frekans domeninde;

$$V_o(wt) = V_r \sin(wt) \quad (42)$$

sinüsoidal bir gerilim olarak elde edilir.

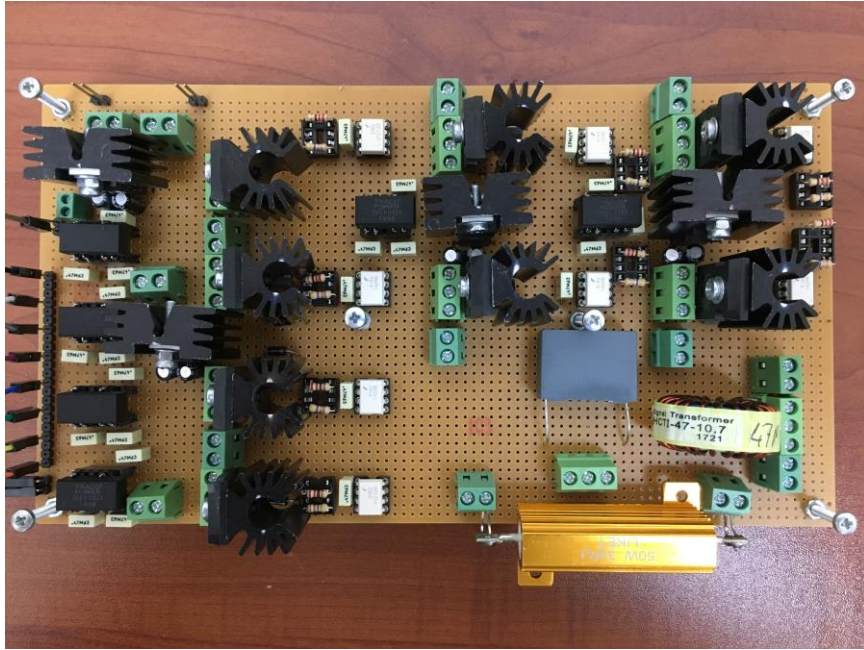
S_5 ve S_6 anahtarları Şekil 4' te verilen evirici devresinden görüldüğü üzere çift yönlü akım geçişine izin veren iki adet ters bağlı MOSFET elemanından oluşturulmuştur. Yine Şekil 4'te tanımlanan gerilim düşüm yönlerine göre, evirici çıkışında negatif alternanslı gerilimin oluşturulması aşamasında (S_1 ve S_4 iletimde, S_2 ve S_3 kesimde), S_5 anahtarı girişine pozitif V_i gerilimi geldiğinde, S_5 çift yönlü anahtarını ilettime sokmak için S_{5a} anahtarı ilettime ve S_{5b} anahtarı kesime sokulur. Bu aşamada, S_6 anahtarı girişine pozitif bobin gerilimi geldiğinde, S_6 çift yönlü anahtarını ilettime sokmak için S_{6b} anahtarı ilettime ve S_{6a} anahtarı kesime sokulur. Evirici çıkışında pozitif alternanslı gerilimin oluşturulması aşamasında (S_1 ve S_4 kesimde, S_2 ve S_3 iletimde), S_5 anahtarı girişine negatif V_i gerilimi geldiğinde, S_5 çift yönlü anahtarını ilettime sokmak için S_{5b} anahtarı ilettime ve S_{5a} anahtarı kesime sokulur. Bu aşamada, S_6 anahtarı girişine negatif bobin gerilimi geldiğinde, S_6 çift yönlü anahtarını ilettime sokmak için S_{6a} anahtarı ilettime ve S_{6b} anahtarı kesime sokulur. Pozitif ya da negatif evirici çıkış gerilimi üretimi aşamalarında, S_5 çift yönlü anahtarını kesime sokmak için S_{5a} ve S_{5b} anahtarları, S_6 çift yönlü anahtarını kesime sokmak için S_{6a} ve S_{6b} anahtarları birlikte kesime sokulur.

3.2. Alçaltıcı-Yükseltici Çevirici Tabanlı Bir Fazlı Evirici Prototip Tasarımı

Bu bölümde, Bölüm 3'ün başlangıcında belirtilen proje amaç ve hedeflere ulaşmak için Bölüm 3.1'de önerilen evirici teorik tasarım ve analizleri kullanılarak, gerçek zaman evirici prototip tasarımı detaylı olarak verilmiştir.

3.2.1. Evirici Devresinin Tasarımı

Temel evirici topolojisi ile anahtarlama elemanları için kullanılan söndürme (snubber) devrelerini içeren Şekil 6' da verilen evirici devresi için oluşturulan prototip Şekil 8'de verilmiştir (İP No:2).



Şekil 8. Tasarlanan evirici prototip devresi

Prototip devresini oluşturan Şekil 4 ile verilen temel evirici topoloji devresindeki MOSFET anahtarlama elemanı olarak IRFP250N modeli ($V_{DSS}=200V$, $r_{on}=75m\Omega$, $I_D=30A$) kullanılmıştır. Alçaltıcı-yükseltici evirici devreye ait bobin endüktans değeri L ve kapasite kapasitans değeri C ile evirici anahtarlama frekansı f_s , evirici zaman sabiti analiz edilerek belirlenmiştir. Evirici çalışması için projede minimum yük değeri $R=100\Omega$ olarak belirlenmiştir. En düşük bu yük değeri için sistemin zaman sabitinin maksimum olacağı aşikardır. Dolayısıyla seçilecek anahtarlama frekansı için, her bir anahtarlama periyodu sonunda referans sinüsoidal gerilimin anlık değeri değişeceğinden, eşitlik (30) ile verilen

evirici transfer fonksiyonu üzerinden evirici çıkış gerilimi değerinin referans geriliminin yeni anlık değerine anahtarlama periyodundan önce ulaşması gerekir ki, bu da fiziksel olarak çıkış geriliminin referans gerilimi değişimini takip etmesi için mutlak gereklidir. Bu bağlamda yapılan analizler sonucunda evirici devresinde kullanılan bobin L ve kapasite C değeri ile anahtarlama frekansı f_s değeri Tablo 1' de verildiği şekilde belirlenmiştir.

Tablo 1. Evirici devresi için belirlenen bobin, kapasite ve anahtarlama frekansı değeri

| Bobin | | Kapasite | | Anahtarlama Frekansı f_s (kHz) |
|-----------------------|---------------------|----------|---------------------|-------------------------------------|
| L (μH) | r_L (m Ω) | C (nF) | r_C (m Ω) | |
| 47 | 100 | 100 | 200 | 10 |

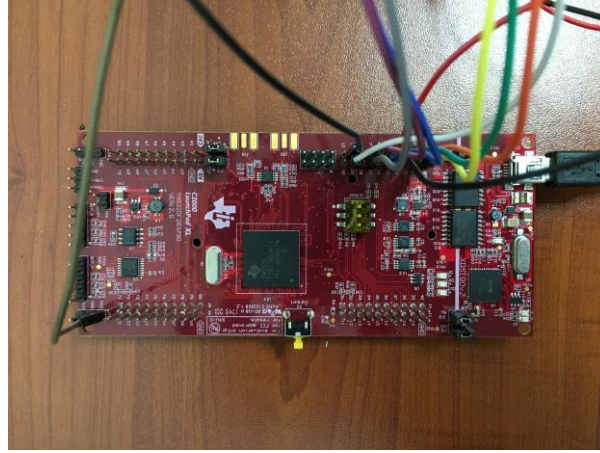
Tablo 1' de parametreleri verilen bobin ve kapasiteye ait eşdeğer seri direnç değerleri LCR metre ile ölçülerek tespit edilmiştir. Evirici çalışması için projede maksimum yük değeri $R = 1\Omega$ olarak belirlenmiştir. Oluşturulan prototip 0.5 kW gücünde olması istendiğinden, 0-100 Vp aralığında olması istenen çıkış gerilimi aralığında, MOSFETlerin ve evirici bobininin akım kapasitesi çıkış gücünü sağlayacak değerde olması gerekmektedir. Seçilen IRFP250N MOSFETlerin akım kapasitesi 30A olduğu için 47 μH olarak hesaplanan bobin için 30A kapasiteli bir bobin seçilmiştir. Hem MOSFETler hem de evirici bobinine ait bu akım kapasite değeri, evirici 0.5kW güç çekmesi durumunda bu elemanlardan çekilecek maksimum akım değerinin üzerinde olmaktadır. Bu sebeple evirici maksimum 0.5kW gücü sağlıklı bir şekilde çıkışa bağlanacak yüke aktarabilmektedir.

Şekil 8'de verilen evirici prototip devresinde kullanılan MOSFETler eşdeğer olarak seçildiğinden, bu anahtarlama elemanları için tasarlanan Şekil 6'daki RLD ve RCD söndürme (snubber) devrelerinde kullanılan elemanlara ait parametreler de eşdeğerdir ve bu parametreler Tablo 2' de verilmiştir (İP No:4).

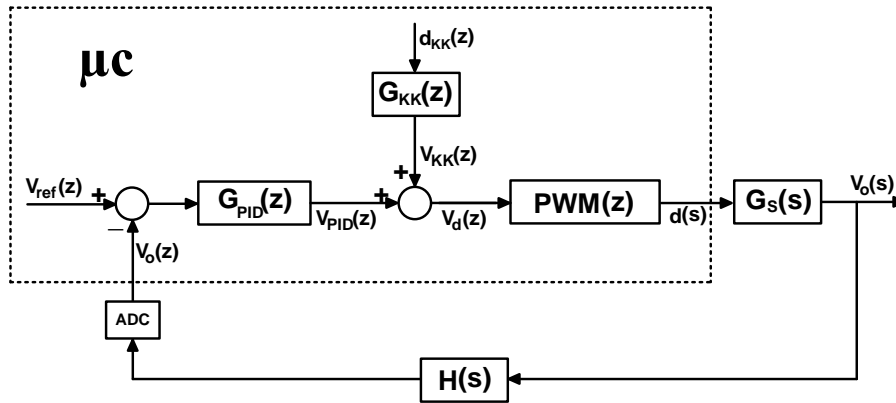
Tablo 2. Söndürme (snubber) devre parametreleri

| RLD Söndürme Devresi | | | RCD Söndürme Devresi | | |
|-------------------------|---------------------|--------|----------------------|--------------------|--------|
| L_S (μH) | r_S (m Ω) | D_S | C_S (nF) | r_S (Ω) | D_S |
| 1 | 200 | 1N4004 | 10 | 100 | 1N4004 |

verilen evirici genel kontrol yapısı için prototip gerçekleştirilmesine ait ayrık-zaman kontrol blok diyagramı Şekil 11’ de verilmiştir. Şekil 11’den görüleceği üzere, referans sinüsoidal giriş, açık çevrim kontrol kuralı, kapalı çevrim PID kontrolcü ve evirici anahtarları kontrol sinyallerini üreten sinyal üretici mikrodenetleyici üzerinden sayısal olarak tasarlanmıştır. Şekil 11’deki blok diyagramında gösterilen d anahtarlama oranının, pratikte eviriciye ait tüm anahtarlara ait kontrol sinyallerinin organizasyonunu belirlediği hatırlanmalıdır.



Şekil 10. Evirici kontrolü için kullanılan TMS320F28379D çekirdek içeren LAUNCHXL-F28379D geliştirme kiti



Şekil 11. Gerçek zaman prototip kontrolünde kullanılan kontrol blok diyagramı

Şekil 11’ de $V_{ref}(z)$, Eşitlik (38) ile verilen referans sinüsoidal işarete ait ayrık seriyi ifade etmektedir ve bu referans işaret mikrodenetleyici içerisinde üretilmektedir. Evirici gerçek çıkış gerilimi mikrodenetleyiciye gömülü ADC ile örneklenerek ayrıklaştırılmaktadır ($V_o(z)$). Ayrık açık çevrim kontrol kuralı ayrık değeri $d_{KK}(z)$ mikrodenetleyici tarafından Eşitlik (40) yardımıyla üretilir. $G_{KK}(z)$ kontrol kuralı transfer fonksiyonunu göstermek üzere bu değer,

$$G_{KK}(z) = \frac{1}{PWM(z)} \quad (43)$$

eşitliği elde edilir. Eşitlik (43)' deki $PWM(z)$, d anahtarlama oranını belirleyen PWM prosesi transfer fonksiyonunu göstermektedir. Ayrık PID kontrolcü $G_{PID}(z)$ çıkış sinyali $V_{PID}(z)$ ile kontrol kuralı sinyali $V_{KK}(z)$ 'in toplamı, evirici toplam net anahtarlama oranı kontrol sinyali değerini vermektedir.

$$V_d(z) = V_{PID}(z) + V_{KK}(z) \quad (44)$$

Eşitlik (44) ile elde edilen net anahtarlama oranı kontrol sinyali değeri PWM prosesine uygulanarak evirici net anahtarlama kontrol değeri elde edilmektedir.

Ayrık PID kontrolcü Şekil 11' de verilen kapalı çevrim kontrol blok diyagramı üzerinden tasarlanmıştır. Şekil 11'den görüldüğü üzere kontrol kuralı anahtarlama değeri $d_{KK}(z)$, kapalı çevrim blok diyagramına bozucu/gürültü girişi şeklinde etki etmektedir. Bu sebeple PID tasarımında $d_{KK}(z) = 0$ kabul ederek tasarım yapılmıştır. Tasarım için göz önüne alınan evirici çalışma noktası Tablo 3.'te verilmiştir.

Tablo 3. Evirici çalışma noktası parametreleri

| V_i (V) | \bar{D} | \bar{V}_o (V) | R (Ω) |
|-----------|-----------|-----------------|------------------|
| 30 | 0.5 | 30 | 100 |

Bölüm 3.2.1'de verilen evirici eleman parametreleri ve Tablo 3'te belirlenen çalışma noktası değerleri kullanılarak Eşitlik (30) ile verilen evirici transfer fonksiyonu aşağıdaki gibi elde edilebilir.

$$G_s(s) = \frac{-5.855 \times 10^6 s + 6.125 \times 10^{12}}{s^2 + 1.253 \times 10^5 s + 5.546 \times 10^{10}} \quad (45)$$

Şekil 11'de ölçme düzeni transfer fonksiyonu $H(s) = 1/20$, ideal ADC transfer fonksiyonu 1 ve mikrodenetleyici PWM prosesi transfer fonksiyonu 2 olarak ele alınmıştır. Böylece, ayrık PID kontrolcü transfer fonksiyonu haricinde kapalı çevrim blok diyagramına ait açık çevrim transfer fonksiyonu,

$$G(s) = \frac{-5.855 \times 10^5 s + 6.125 \times 10^{11}}{s^2 + 1.253 \times 10^5 s + 5.546 \times 10^{10}} \quad (46)$$

olarak elde edilir. Örnekleme periyodu $T_s = 1/f_s = 1/10kHz$ için Eşitlik (46) ile verilen transfer fonksiyonunun ayrıklaştırılmış ifadesi aşağıdaki gibi elde edilir.

$$G(z) = \frac{11.07 z + 0.008998}{z^2 + 0.002882 z + 3.606 \times 10^{-6}} \quad (47)$$

Tasarlanmak istenen ayrık PID kontrolcü transfer fonksiyonu genel olarak aşağıdaki gibi verilmektedir.

$$G_{PID}(z) = K_p + K_I \frac{z}{z-1} + K_D \frac{z-1}{z} \quad (48)$$

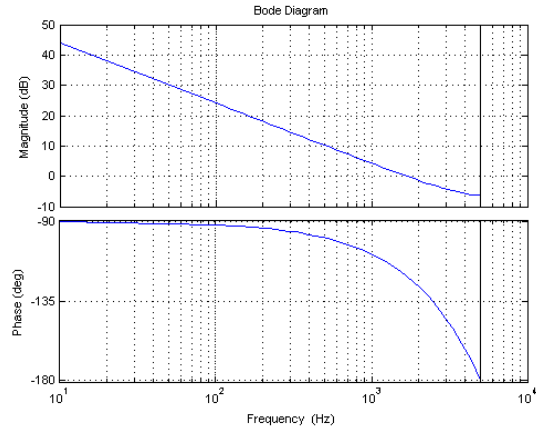
Eşitlik (48)'de verilen PID kontrolcü parametreleri Eşitlik (47) üzerinden yer-kök eğrisi tasarım yöntemiyle MATLAB programında aşağıdaki gibi belirlenmiştir.

$$K_p = -1.8 \times 10^{-3}, \quad K_I = 0.0918, \quad K_D = 18 \times 10^{-6} \quad (49)$$

Eşitlik (47)-(49)' dan tüm evirici sistemine ait ayrık açık çevrim transfer fonksiyonu aşağıdaki gibi elde edilir.

$$T(z) = G(z).G_{PID}(z) = \frac{0.9963 z^3 + 0.02033 z^2 + 0.0002151 z + 1.62 \times 10^{-7}}{z^4 - 0.9971 z^3 - 0.002879 z^2 - 3.606 \times 10^{-6} z} \quad (50)$$

Şekil 11 ile verilen kontrol blok diyagramına ait Bode eğrisi Eşitlik (50) üzerinden Şekil 12'de verilmiştir.



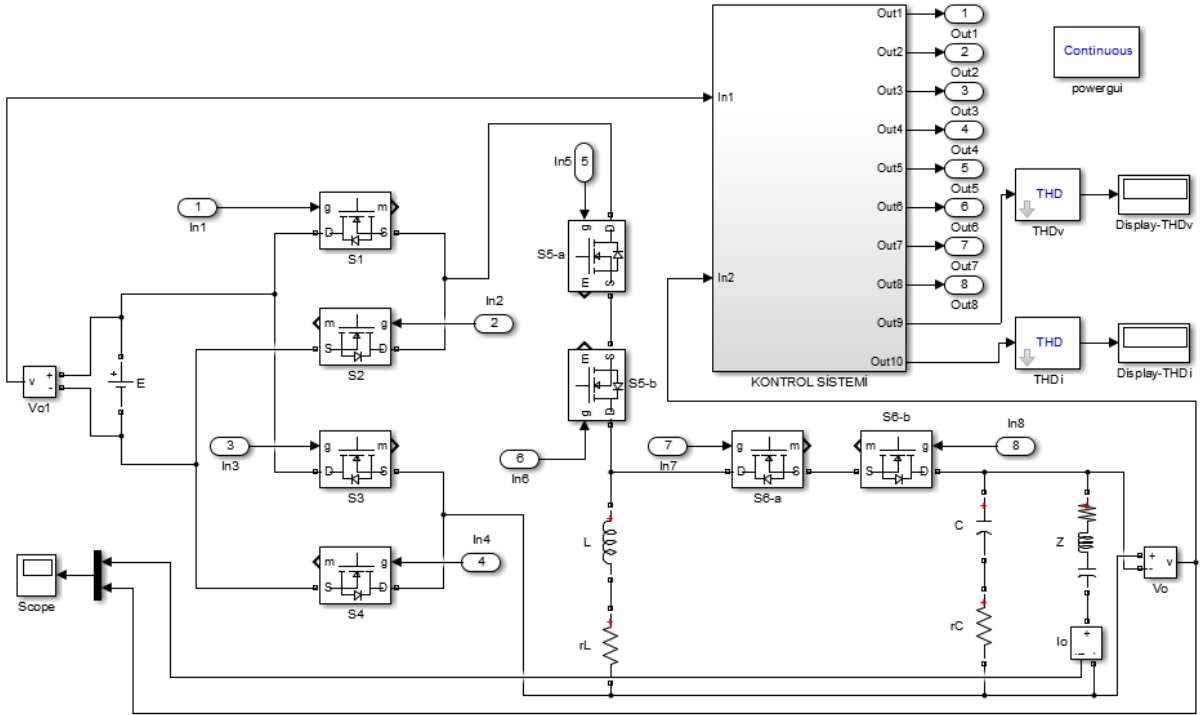
Şekil 12. Evirici kontrol blok diyagramına ait Bode eğrisi

4. BULGULAR

Bölüm 3'te teorik detayları ve tasarım kriterleri verilen önerilen alçaltıcı-yükseltici çeviricinin gerçekleştirilebilirliğini göstermek ve proje hedeflerine ulaşmak için, önerilen evirici çalışmasına ait simülasyon ve prototip testleri yapılmıştır. Hem simülasyon hem de gerçek zaman prototip çalışmalarından önerilen eviricinin projede istenen özelliklerle beraber amaçlanan performansla çalıştığı ispatlanmıştır.

4.1. Simülasyon Testleri

Önerilen evirici için simülasyon testleri MATLAB Simulink ortamında yapılmıştır (İP No:1). Simülasyon için oluşturulan Simulink modeli Şekil 13'te verilmiştir.

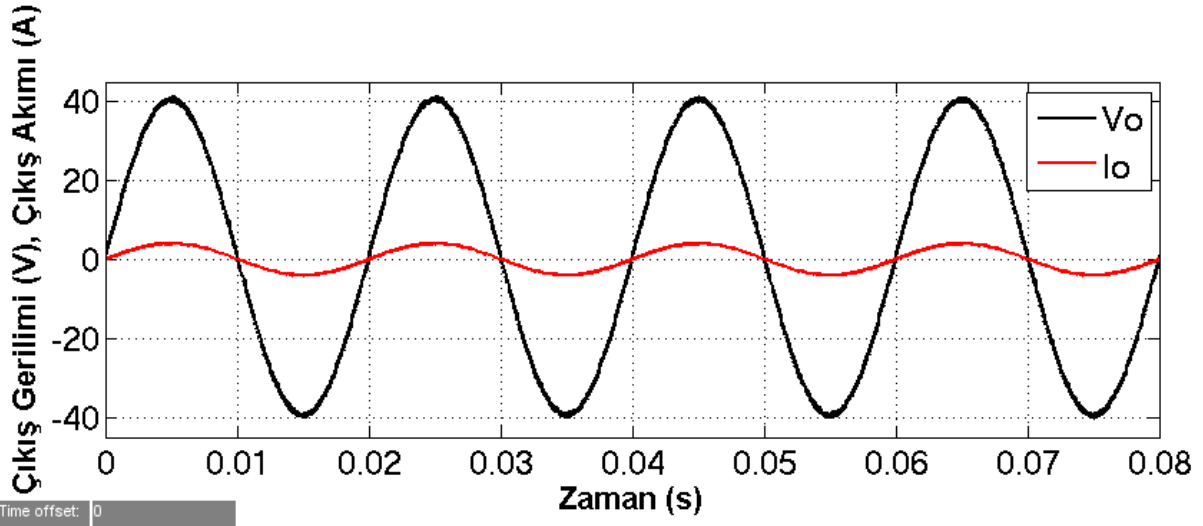


Şekil 13. Evirici simülasyon testi için oluşturulan MATLAB Simulink modeli

Önerilen evirici topolojisi ve buna ait önerilen kontrol sisteminin teorik gerçekleştirilebilirliği ve performans hedeflerine ulaşılabilirliği, Şekil 13'te verilen Simulink modeli üzerinde uygulanan aşağıdaki farklı testlerle gösterilmiştir.

Test 1:

Bu simülasyon testinde evirici giriş doğru gerilimi $V_i = 50V$ ve yük saf omik olarak $R = 10\Omega$ olarak seçilmiştir. Evirici çıkışında tepe değeri giriş doğru gerilim değerinden küçük olacak şekilde $V_{O_m} = 40V$ değerinde ve frekansı $f = 50Hz$ olan sinüsoidal bir gerilim üretilmesi istenmektedir. Test 1 için uygulanan simülasyon testinden elde edilen evirici çıkış gerilimi ve evirici çıkış akımı dalga şekilleri Şekil 14’te verilmiştir.



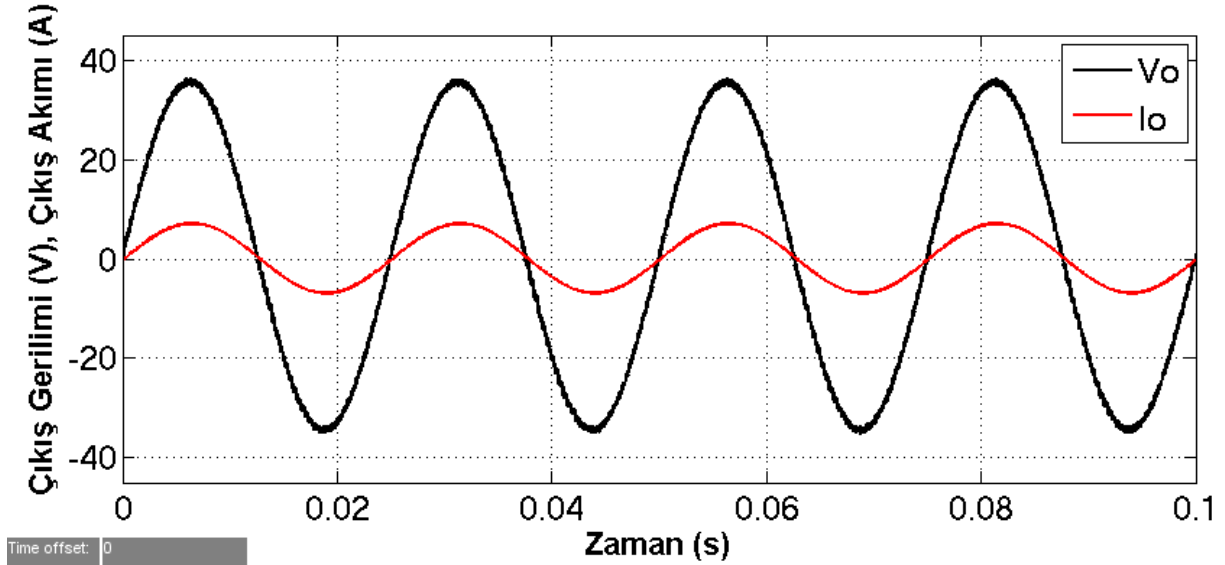
Şekil 14. Test 1 durumu için elde edilen simülasyon sonuçları

Test 1 durumu için Şekil 14’ten görüleceği üzere evirici çıkışında istenilen genlik ve frekansta evirici çıkış gerilimi V_o , sinüs formuna oldukça yakın elde edilmiştir. Evirici çıkış gerilimi V_o için elde edilen toplam gerilim harmonik bozunum oranı $THD_V = \%1.872$ olarak bulunmuştur. Yük saf omik olduğu için evirici çıkış akımı I_o ve çıkış gerilimi V_o arasında faz farkı oluşmamıştır. Evirici çıkış akımı I_o için elde edilen toplam akım harmonik bozunum oranı $THD_I = THD_V = \%1.872$ olarak bulunmuştur.

Test 2:

Bu simülasyon testinde evirici giriş doğru gerilimi $V_i = 50V$ olarak seçilmiştir. Evirici çıkışına seri direnç ve bobinden oluşan endüktif yük bağlanmıştır. Yüke ait rezistans ve endüktans değerleri sırasıyla $R = 5\Omega$ ve $L = 1mH$ olarak belirlenmiştir. Evirici çıkışında tepe değeri giriş doğru gerilim değerinden küçük olacak şekilde $V_{O_m} = 35V$ değerinde ve frekansı $f = 40Hz$ olan sinüsoidal bir gerilim üretilmesi istenmektedir. Test 2 için uygulanan

simülasyon testinden elde edilen evirici çıkış gerilimi ve evirici çıkış akımı dalga şekilleri Şekil 15'te verilmiştir.

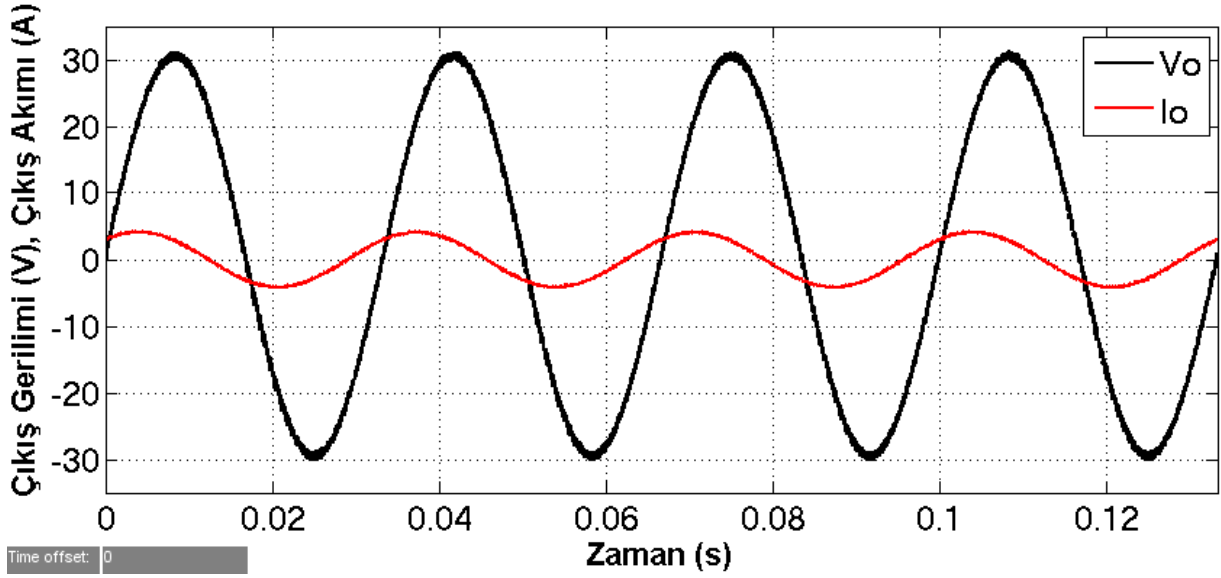


Şekil 15. Test 2 durumu için elde edilen simülasyon sonuçları

Test 2 durumu için Şekil 15'ten görüleceği üzere evirici çıkışında istenilen genlik ve frekansta evirici çıkış gerilimi V_o , sinüs formuna oldukça yakın elde edilmiştir. Evirici çıkış gerilimi V_o için elde edilen toplam gerilim harmonik bozunum oranı $THD_V = \%2.095$ olarak bulunmuştur. Yük endüktif olduğu için evirici çıkış akımı I_o , çıkış gerilimi V_o ' dan geri fazdadır. Evirici çıkış akımı I_o için elde edilen toplam akım harmonik bozunum oranı $THD_I = \%0.392$ olarak bulunmuştur. Yük endüktansının evirici çıkış akımındaki yüksek dereceden harmonik akımlarını filtrelemesi sebebiyle THD_I değerinin THD_V değerinden düşük olduğu açıkça görülmektedir.

Test 3:

Bu simülasyon testinde evirici giriş doğru gerilimi $V_i = 50V$ olarak seçilmiştir. Evirici çıkışına seri direnç ve kapasiteden oluşan kapasitif yük bağlanmıştır. Yüke ait rezistans ve kapasitans değerleri sırasıyla $R = 5\Omega$ ve $C = 1mF$ olarak belirlenmiştir. Evirici çıkışında tepe değeri giriş doğru gerilim değerinden küçük olacak şekilde $V_{o_m} = 30V$ değerinde ve frekansı $f = 30Hz$ olan sinüsoidal bir gerilim üretilmesi istenmektedir. Test 3 için uygulanan simülasyon testinden elde edilen evirici çıkış gerilimi ve evirici çıkış akımı dalga şekilleri Şekil 16'da verilmiştir.

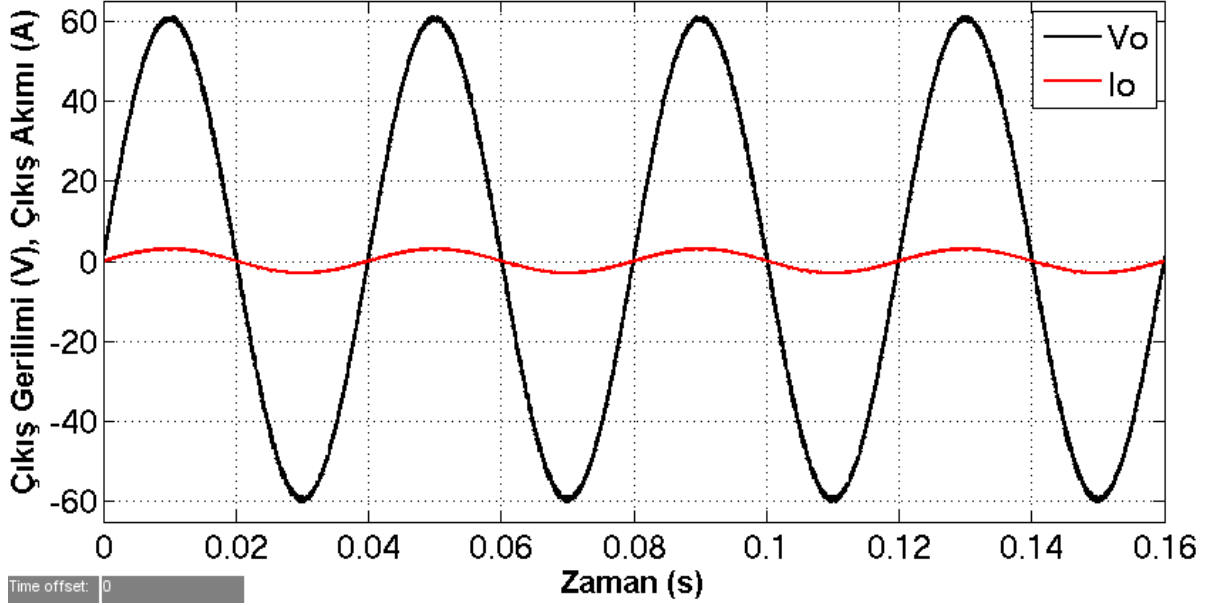


Şekil 16. Test 3 durumu için elde edilen simülasyon sonuçları

Test 3 durumu için Şekil 16'dan görüleceği üzere evirici çıkışında istenilen genlik ve frekansta evirici çıkış gerilimi V_o , sinüs formuna oldukça yakın elde edilmiştir. Evirici çıkış gerilimi V_o için elde edilen toplam gerilim harmonik bozunum oranı $THD_V = \%2.398$ olarak bulunmuştur. Yük kapasitif olduğu için evirici çıkış akımı I_o , çıkış gerilimi V_o ' dan ileri fazdadır. Evirici çıkış akımı I_o için elde edilen toplam akım harmonik bozunum oranı $THD_I = \%3.484$ olarak bulunmuştur. Yük kapasitesinin evirici çıkış akımındaki yüksek dereceden harmonik akımları için düşük akım yolu sağlaması sebebiyle THD_I değerinin THD_V değerinden büyük olduğu açıkça görülmektedir.

Test 4:

Bu simülasyon testinde evirici giriş doğru gerilimi $V_i = 60V$ ve yük saf omik olarak $R = 20\Omega$ olarak seçilmiştir. Evirici çıkışında tepe değeri giriş doğru gerilim değerine eşit olacak şekilde $V_{o_m} = 60V$ değerinde ve frekansı $f = 25 Hz$ olan sinüsoidal bir gerilim üretilmesi istenmektedir. Test 4 için uygulanan simülasyon testinden elde edilen evirici çıkış gerilimi ve evirici çıkış akımı dalga şekilleri Şekil 17'de verilmiştir.

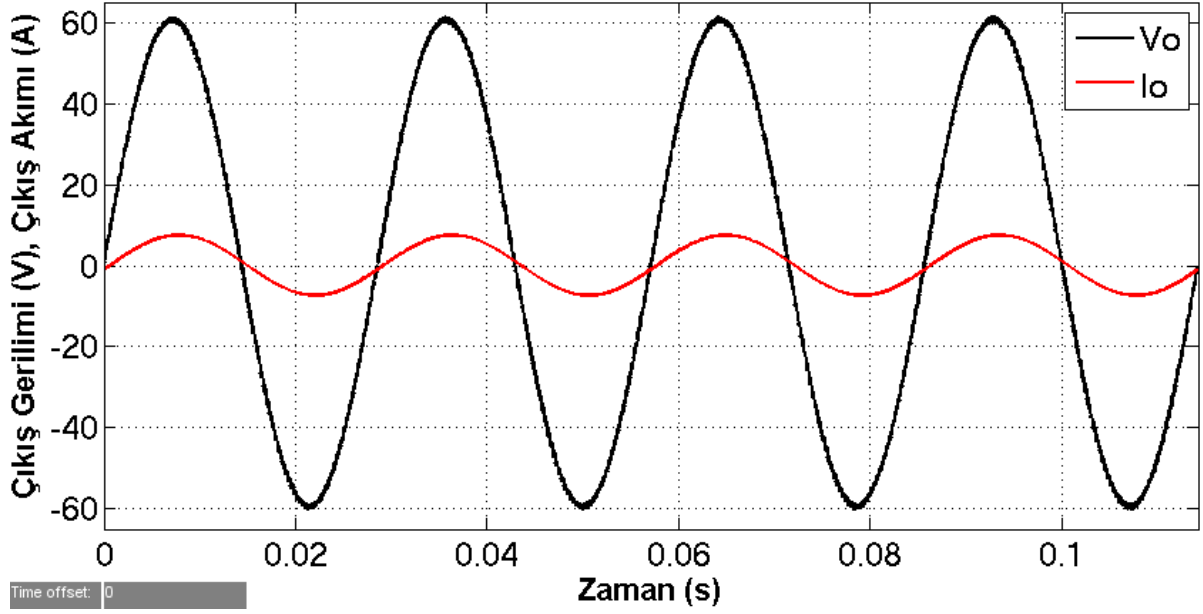


Şekil 17. Test 4 durumu için elde edilen simülasyon sonuçları

Test 4 durumu için Şekil 17'den görüleceği üzere evirici çıkışında istenilen genlik ve frekansta evirici çıkış gerilimi V_o , sinüs formuna oldukça yakın elde edilmiştir. Evirici çıkış gerilimi V_o için elde edilen toplam gerilim harmonik bozunum oranı $THD_v = \%1.231$ olarak bulunmuştur. Yük saf omik olduğu için evirici çıkış akımı I_o ve çıkış gerilimi V_o arasında faz farkı oluşmamıştır. Evirici çıkış akımı I_o için elde edilen toplam akım harmonik bozunum oranı $THD_i = THD_v = \%1.231$ olarak bulunmuştur.

Test 5:

Bu simülasyon testinde evirici giriş doğru gerilimi $V_i = 60V$ olarak seçilmiştir. Evirici çıkışına seri direnç ve bobinden oluşan endüktif yük bağlanmıştır. Yüke ait rezistans ve endüktans değerleri sırasıyla $R = 8\Omega$ ve $L = 5mH$ olarak belirlenmiştir. Evirici çıkışında tepe değeri giriş doğru gerilim değerine eşit olacak şekilde $V_{o_m} = 60V$ değerinde ve frekansı $f = 35Hz$ olan sinüsoidal bir gerilim üretilmesi istenmektedir. Test 5 için uygulanan simülasyon testinden elde edilen evirici çıkış gerilimi ve evirici çıkış akımı dalga şekilleri Şekil 18'de verilmiştir.

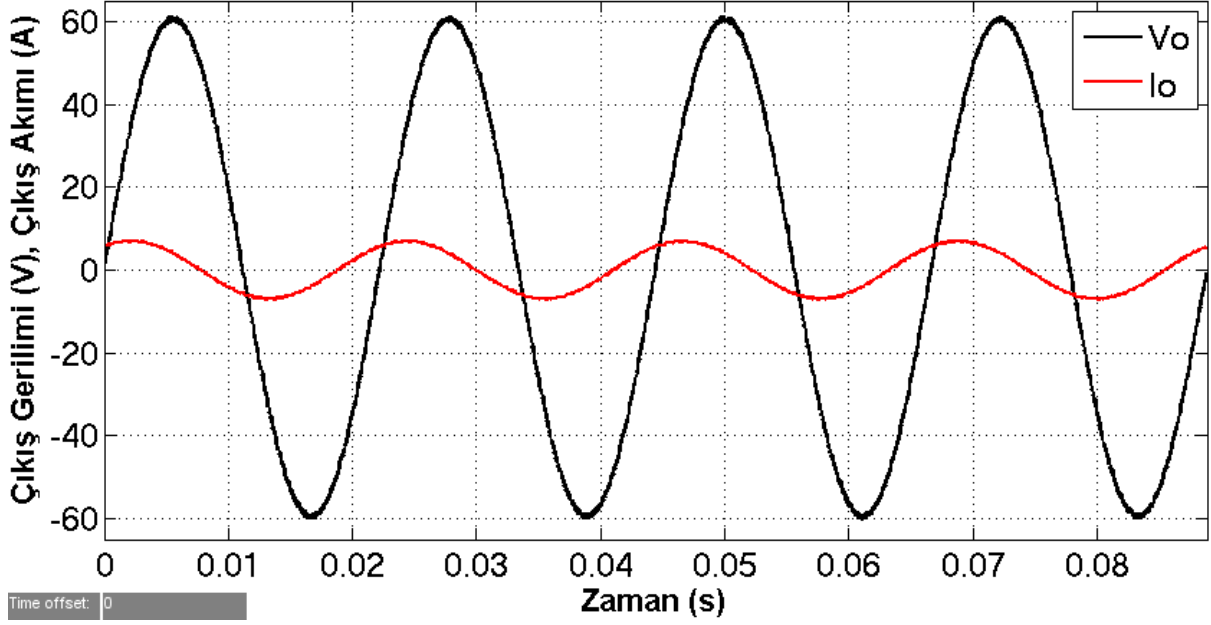


Şekil 18. Test 5 durumu için elde edilen simülasyon sonuçları

Test 5 durumu için Şekil 18'den görüleceği üzere evirici çıkışında istenilen genlik ve frekansta evirici çıkış gerilimi V_o , sinüs formuna oldukça yakın elde edilmiştir. Evirici çıkış gerilimi V_o için elde edilen toplam gerilim harmonik bozunum oranı $THD_V = \%1.251$ olarak bulunmuştur. Yük endüktif olduğu için evirici çıkış akımı I_o , çıkış gerilimi V_o ' dan geri fazdadır. Evirici çıkış akımı I_o için elde edilen toplam akım harmonik bozunum oranı $THD_I = \%0.3047$ olarak bulunmuştur. Yük endüktansının evirici çıkış akımındaki yüksek dereceden harmonik akımlarını filtrelemesi sebebiyle THD_I değerinin THD_V değerinden düşük olduğu açıkça görülmektedir.

Test 6:

Bu simülasyon testinde evirici giriş doğru gerilimi $V_i = 60V$ olarak seçilmiştir. Evirici çıkışına seri direnç ve kapasiteden oluşan kapasitif yük bağlanmıştır. Yüke ait rezistans ve kapasitans değerleri sırasıyla $R = 5\Omega$ ve $C = 0.5mF$ olarak belirlenmiştir. Evirici çıkışında tepe değeri giriş doğru gerilim değerine eşit olacak şekilde $V_{o_m} = 60V$ değerinde ve frekansı $f = 45Hz$ olan sinüsoidal bir gerilim üretilmesi istenmektedir. Test 6 için uygulanan simülasyon testinden elde edilen evirici çıkış gerilimi ve evirici çıkış akımı dalga şekilleri Şekil 19'da verilmiştir.

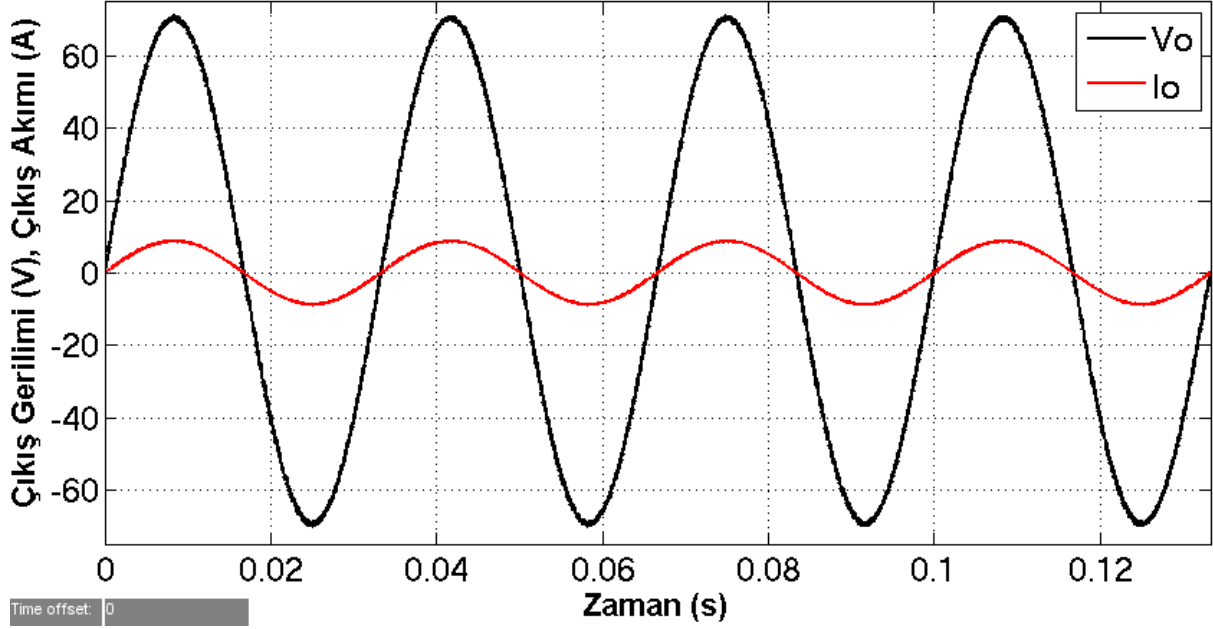


Şekil 19. Test 6 durumu için elde edilen simülasyon sonuçları

Test 6 durumu için Şekil 19'dan görüleceği üzere evirici çıkışında istenilen genlik ve frekansta evirici çıkış gerilimi V_o , sinüs formuna oldukça yakın elde edilmiştir. Evirici çıkış gerilimi V_o için elde edilen toplam gerilim harmonik bozunum oranı $THD_V = \%1.274$ olarak bulunmuştur. Yük kapasitif olduğu için evirici çıkış akımı I_o , çıkış gerilimi V_o ' dan ileri fazdadır. Evirici çıkış akımı I_o için elde edilen toplam akım harmonik bozunum oranı $THD_I = \%2.145$ olarak bulunmuştur. Yük kapasitesinin evirici çıkış akımındaki yüksek dereceden harmonik akımları için düşük akım yolu sağlaması sebebiyle THD_I değerinin THD_V değerinden büyük olduğu açıkça görülmektedir.

Test 7:

Bu simülasyon testinde evirici giriş doğru gerilimi $V_i = 40V$ ve yük saf omik olarak $R = 8\Omega$ olarak seçilmiştir. Evirici çıkışında tepe değeri giriş doğru gerilim değerinden büyük olacak şekilde $V_{O_m} = 70V$ değerinde ve frekansı $f = 30Hz$ olan sinüsoidal bir gerilim üretilmesi istenmektedir. Test 7 için uygulanan simülasyon testinden elde edilen evirici çıkış gerilimi ve evirici çıkış akımı dalga şekilleri Şekil 20'de verilmiştir.

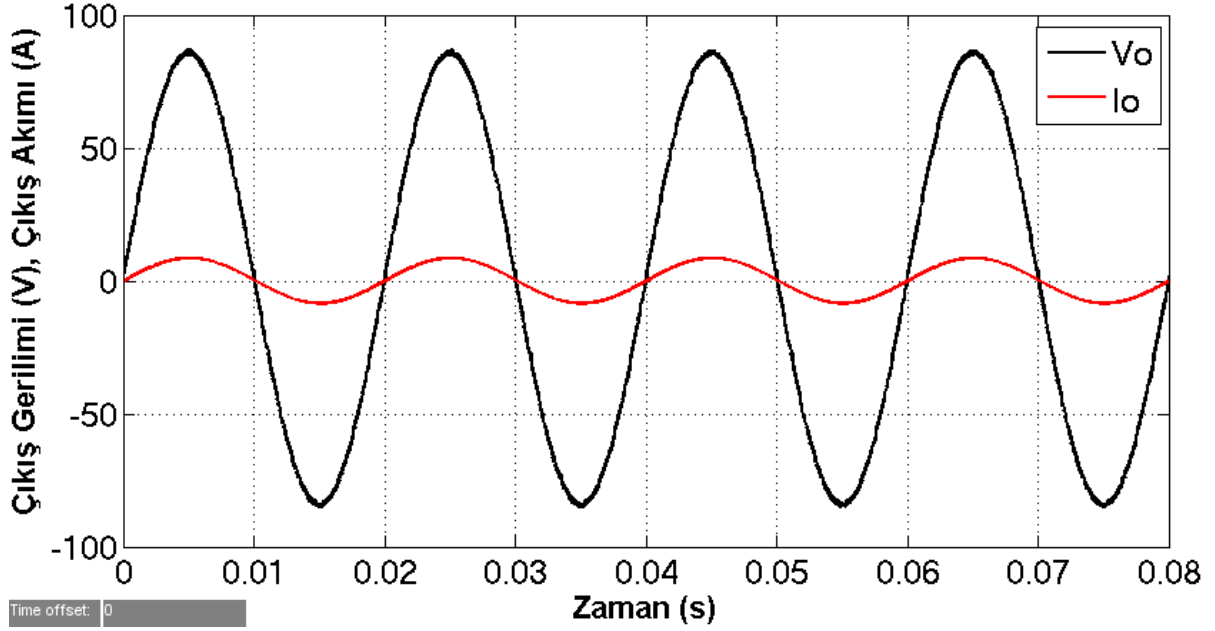


Şekil 20. Test 7 durumu için elde edilen simülasyon sonuçları

Test 7 durumu için Şekil 20'den görüleceği üzere evirici çıkışında istenilen genlik ve frekansta evirici çıkış gerilimi V_o , sinüs formuna oldukça yakın elde edilmiştir. Evirici çıkış gerilimi V_o için elde edilen toplam gerilim harmonik bozunum oranı $THD_V = \%1.086$ olarak bulunmuştur. Yük saf omik olduğu için evirici çıkış akımı I_o ve çıkış gerilimi V_o arasında faz farkı oluşmamıştır. Evirici çıkış akımı I_o için elde edilen toplam akım harmonik bozunum oranı $THD_I = THD_V = \%1.086$ olarak bulunmuştur.

Test 8:

Bu simülasyon testinde evirici giriş doğru gerilimi $V_i = 40V$ olarak seçilmiştir. Evirici çıkışına seri direnç ve bobinden oluşan endüktif yük bağlanmıştır. Yüke ait rezistans ve endüktans değerleri sırasıyla $R = 10\Omega$ ve $L = 0.5mH$ olarak belirlenmiştir. Evirici çıkışında tepe değeri giriş doğru gerilim değerinden büyük olacak şekilde $V_{o_m} = 85V$ değerinde ve frekansı $f = 50Hz$ olan sinüsoidal bir gerilim üretilmesi istenmektedir. Test 8 için uygulanan simülasyon testinden elde edilen evirici çıkış gerilimi ve evirici çıkış akımı dalga şekilleri Şekil 21'de verilmiştir.

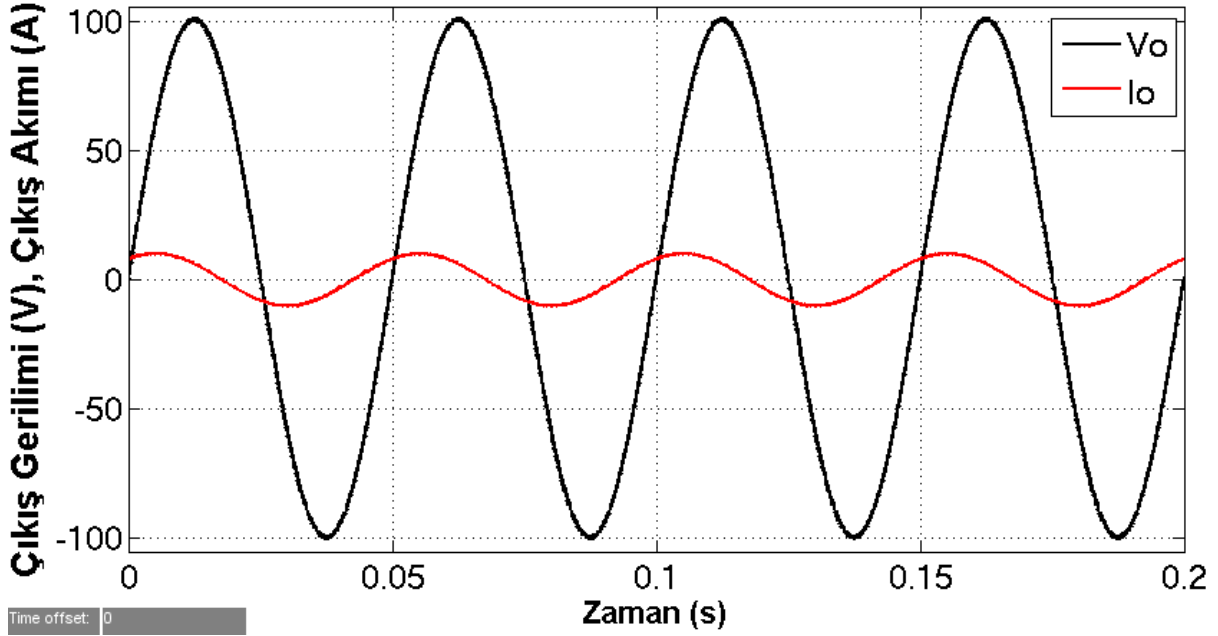


Şekil 21. Test 8 durumu için elde edilen simülasyon sonuçları

Test 8 durumu için Şekil 21'den görüleceği üzere evirici çıkışında istenilen genlik ve frekansta evirici çıkış gerilimi V_o , sinüs formuna oldukça yakın elde edilmiştir. Evirici çıkış gerilimi V_o için elde edilen toplam gerilim harmonik bozunum oranı $THD_V = \%1.342$ olarak bulunmuştur. Yük endüktif olduğu için evirici çıkış akımı I_o , çıkış gerilimi V_o ' dan geri fazdadır. Evirici çıkış akımı I_o için elde edilen toplam akım harmonik bozunum oranı $THD_I = \%0.4671$ olarak bulunmuştur. Yük endüktansının evirici çıkış akımındaki yüksek dereceden harmonik akımlarını filtrelemesi sebebiyle THD_I değerinin THD_V değerinden düşük olduğu açıkça görülmektedir.

Test 9:

Bu simülasyon testinde evirici giriş doğru gerilimi $V_i = 40V$ olarak seçilmiştir. Evirici çıkışına seri direnç ve kapasiteden oluşan kapasitif yük bağlanmıştır. Yüke ait rezistans ve kapasitans değerleri sırasıyla $R = 6\Omega$ ve $C = 1mF$ olarak belirlenmiştir. Evirici çıkışında tepe değeri giriş doğru gerilim değerinden büyük olacak şekilde $V_{o_m} = 100V$ değerinde ve frekansı $f = 20Hz$ olan sinüsoidal bir gerilim üretilmesi istenmektedir. Test 9 için uygulanan simülasyon testinden elde edilen evirici çıkış gerilimi ve evirici çıkış akımı dalga şekilleri Şekil 22'de verilmiştir.



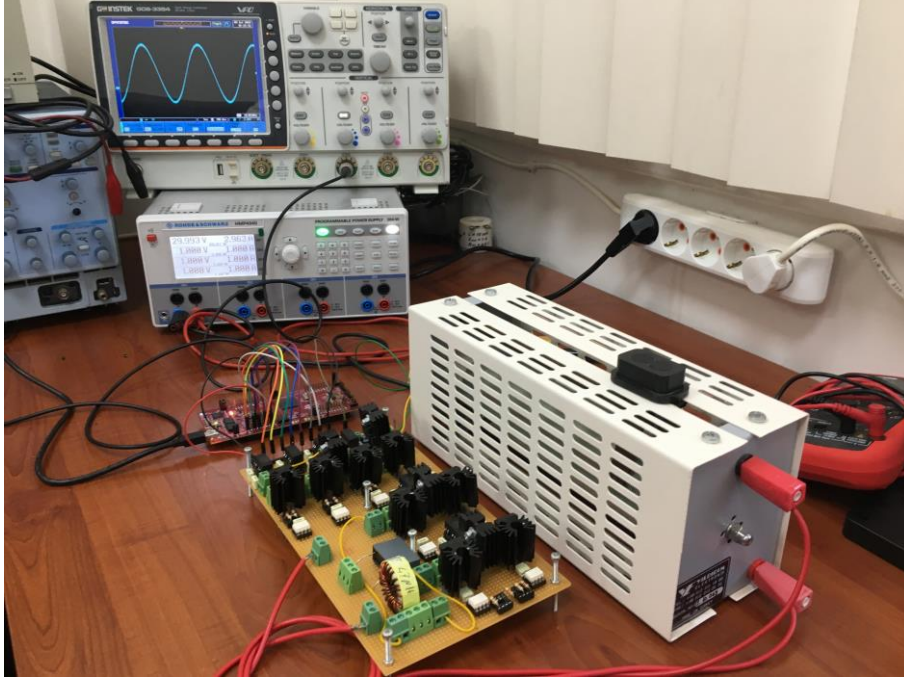
Şekil 22. Test 9 durumu için elde edilen simülasyon sonuçları

Test 9 durumu için Şekil 22'den görüleceği üzere evirici çıkışında istenilen genlik ve frekansta evirici çıkış gerilimi V_o , sinüs formuna oldukça yakın elde edilmiştir. Evirici çıkış gerilimi V_o için elde edilen toplam gerilim harmonik bozunum oranı $THD_v = \%0.745$ olarak bulunmuştur. Yük kapasitif olduğu için evirici çıkış akımı I_o , çıkış gerilimi V_o ' dan ileri fazdadır. Evirici çıkış akımı I_o için elde edilen toplam akım harmonik bozunum oranı $THD_i = \%1.214$ olarak bulunmuştur. Yük kapasitesinin evirici çıkış akımındaki yüksek dereceden harmonik akımları için düşük akım yolu sağlaması sebebiyle THD_i değerinin THD_v değerinden büyük olduğu açıkça görülmektedir.

Yapılan simülasyon testleri sonuçlarından önerilen eviricinin farklı yük değerlerinde, giriş doğru gerilim değerinden küçük eşit ya da büyük tepe değerine sahip, farklı frekans değerlerinde, toplam harmonik bozunumu değeri %5'ten az, saf sinüs formuna çok yakın sinüsoidal çıkış gerilimi üretebildiği teorik olarak ispatlanmıştır.

4.2. Elektriksel Testler

Önerilen evirici gerçek zaman testleri için Şekil 8'de oluşturulan prototip devresi ve Şekil 10'da verilen mikrodenetleyici geliştirme kiti kullanılarak gerçek zaman prototip test düzeneği oluşturulmuştur. Oluşturulan prototip test düzeneği Şekil 23' te gösterilmiştir.

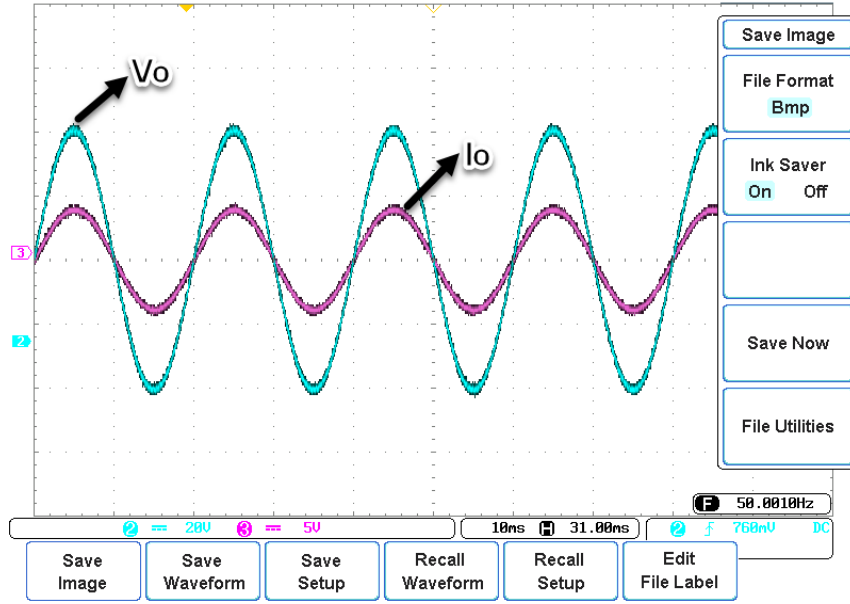


Şekil 23. Evirici gerçek zaman testi için oluşturulan prototip test düzeneği

Önerilen evirici topolojisi ve buna ait önerilen kontrol sisteminin gerçek zaman gerçekleştirilebilirliği ve performans hedeflerine ulaşabilirliği, Şekil 23'te verilen prototip test düzeneği üzerinde uygulanan aşağıdaki farklı testlerle gösterilmiştir (İP No:7). Uygulanan bu testlerde çalışma parametreleri olarak, Bölüm 4.1'de uygulanan simülasyon testlerine ait çalışma parametreleri bire bir aynı seçilmiştir. Böylelikle teorik simülasyon sonuçları ile pratik gerçek zaman çalışma sonuçları arasında karşılaştırma ve analiz imkanı oluşturulmuştur.

Test 1:

Bu gerçek zaman prototip testinde evirici giriş doğru gerilimi $V_i = 50V$ ve yük saf omik olarak $R = 10\Omega$ olarak seçilmiştir. Evirici çıkışında tepe değeri giriş doğru gerilim değerinden küçük olacak şekilde $V_{o_m} = 40V$ değerinde ve frekansı $f = 50 Hz$ olan sinüsoidal bir gerilim üretilmesi istenmektedir. Test 1 için uygulanan gerçek zaman testinden elde edilen evirici çıkış gerilimi ve evirici çıkış akımı için elde edilen osiloskop dalga şekilleri Şekil 24'te verilmiştir.

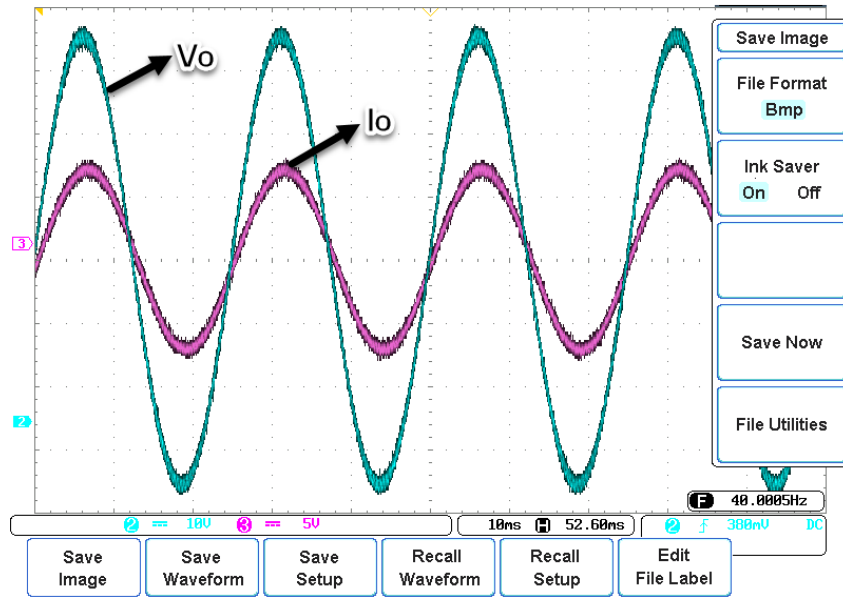


Şekil 24. Test 1 durumu için elde edilen gerçek zaman sonuçları (I_o için $V/div=A/div$)

Test 1 durumu için Şekil 24'ten görüleceği üzere evirici çıkışında istenilen genlik ve frekansta evirici çıkış gerilimi V_o , sinüs formuna oldukça yakın elde edilmiştir. Osiloskop verileri MATLAB Simulink ortamına aktarılarak toplam harmonik bozunumu analizleri yapılmıştır. Evirici çıkış gerilimi V_o için elde edilen toplam gerilim harmonik bozunum oranı $THD_V = \%2.671$ olarak bulunmuştur. Yük saf omik olduğu için evirici çıkış akımı I_o ve çıkış gerilimi V_o arasında neredeyse faz farkı oluşmamıştır. Evirici çıkış akımı I_o için elde edilen toplam akım harmonik bozunum oranı $THD_I = \%2.643$ olarak bulunmuştur. Aynı çalışma parametrelerine sahip simülasyon test sonuçlarından farklı olarak, evirici çıkış gerilimi ve evirici çıkış akımı THD değerlerinin gerçek zaman test sonuçlarında daha büyük çıktığı görülmektedir. Bunun sebebinin gerçek zaman uygulamada ideal olmayan elemanların parazitik etkilerinin olduğu aşikardır. Bununla beraber saf omik yük durumunda simülasyon sonuçlarında $THD_V = THD_I$ bulunurken, gerçek zaman testlerinde $THD_I < THD_V$ olarak tespit edilmiştir. Bunun sebebi, evirici çıkışına bağlanan omik yükün ve evirici çıkışı elektriksel yolun sahip olduğu kaçak endüktansın, çıkış akımına ait yüksek dereceden harmonik bileşenleri filtreleme etkisidir.

Test 2:

Bu gerçek zaman prototip testinde evirici giriş doğru gerilimi $V_i = 50V$ olarak seçilmiştir. Evirici çıkışına seri direnç ve bobinden oluşan endüktif yük bağlanmıştır. Yüke ait rezistans ve endüktans değerleri sırasıyla $R = 5\Omega$ ve $L = 1mH$ olarak belirlenmiştir. Evirici çıkışında tepe değeri giriş doğru gerilim değerinden küçük olacak şekilde $V_{O_m} = 35V$ değerinde ve frekansı $f = 40Hz$ olan sinüsoidal bir gerilim üretilmesi istenmektedir. Test 2 için uygulanan gerçek zaman testinden elde edilen evirici çıkış gerilimi ve evirici çıkış akımı için elde edilen osiloskop dalga şekilleri Şekil 25'te verilmiştir.



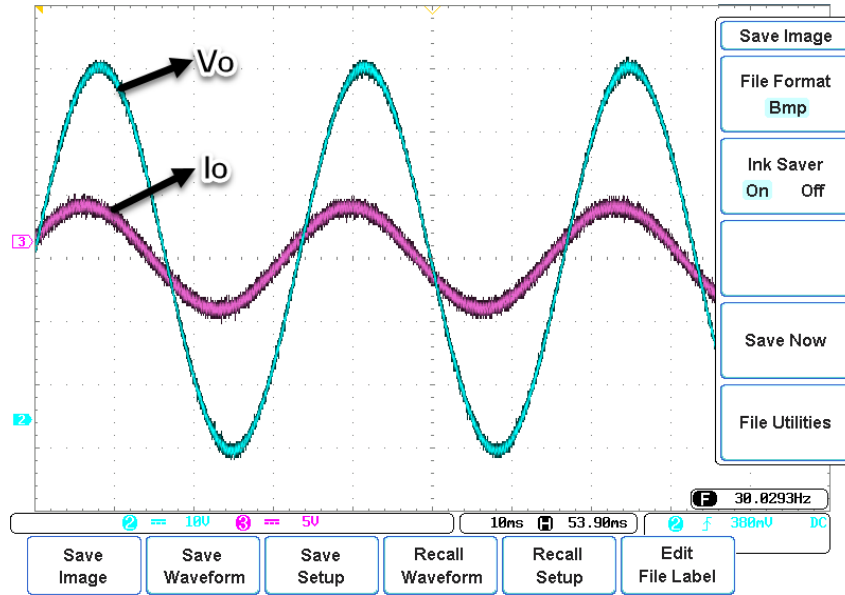
Şekil 25. Test 2 durumu için elde edilen gerçek zaman sonuçları (I_o için $V/div=A/div$)

Test 2 durumu için Şekil 25'ten görüleceği üzere evirici çıkışında istenilen genlik ve frekansta evirici çıkış gerilimi V_o , sinüs formuna oldukça yakın elde edilmiştir. Osiloskop verileri MATLAB Simulink ortamına aktarılarak toplam harmonik bozunumu analizleri yapılmıştır. Evirici çıkış gerilimi V_o için elde edilen toplam gerilim harmonik bozunum oranı $THD_V = \%2.989$ olarak bulunmuştur. Yük endüktif olduğu için evirici çıkış akımı I_o , çıkış gerilimi V_o ' dan geri fazdadır. Evirici çıkış akımı I_o için elde edilen toplam akım harmonik bozunum oranı $THD_I = \%0.559$ olarak bulunmuştur. Yük endüktansının evirici çıkış akımındaki yüksek dereceden harmonik akımlarını filtrelemesi sebebiyle THD_I değerinin THD_V değerinden düşük olduğu açıkça görülmektedir. Aynı çalışma parametrelerine sahip simülasyon test sonuçlarından farklı olarak, evirici çıkış gerilimi ve evirici çıkış akımı THD

değerlerinin gerçek zaman test sonuçlarında daha büyük çıktığı görülmektedir. Bunun sebebinin gerçek zaman uygulamada ideal olmayan elemanların parazitik etkilerinin olduğu aşıkardır.

Test 3:

Bu gerçek zaman prototip testinde evirici giriş doğru gerilimi $V_i = 50V$ olarak seçilmiştir. Evirici çıkışına seri direnç ve kapasiteden oluşan kapasitif yük bağlanmıştır. Yüke ait rezistans ve kapasitans değerleri sırasıyla $R = 5\Omega$ ve $C = 1mF$ olarak belirlenmiştir. Evirici çıkışında tepe değeri giriş doğru gerilim değerinden küçük olacak şekilde $V_{O_m} = 30V$ değerinde ve frekansı $f = 30Hz$ olan sinüsoidal bir gerilim üretilmesi istenmektedir. Test 3 için uygulanan gerçek zaman testinden elde edilen evirici çıkış gerilimi ve evirici çıkış akımı için elde edilen osiloskop dalga şekilleri Şekil 26'da verilmiştir.



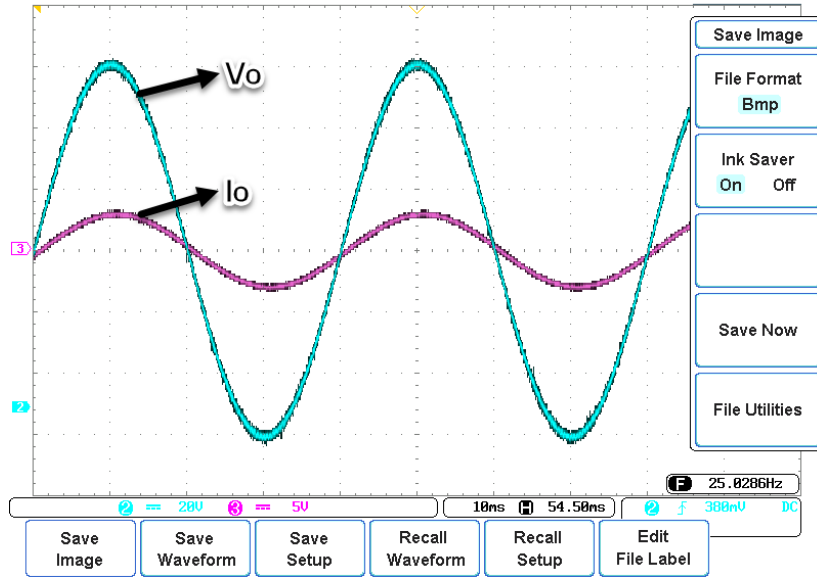
Şekil 26. Test 3 durumu için elde edilen gerçek zaman sonuçları (I_o için $V/div=A/div$)

Test 3 durumu için Şekil 26'dan görüleceği üzere evirici çıkışında istenilen genlik ve frekansta evirici çıkış gerilimi V_o , sinüs formuna oldukça yakın elde edilmiştir. Osiloskop verileri MATLAB Simulink ortamına aktarılarak toplam harmonik bozunumu analizleri yapılmıştır. Evirici çıkış gerilimi V_o için elde edilen toplam gerilim harmonik bozunum oranı $THD_V = \%3.422$ olarak bulunmuştur. Yük kapasitif olduğu için evirici çıkış akımı I_o , çıkış gerilimi V_o ' dan ileri fazdadır. Evirici çıkış akımı I_o için elde edilen toplam akım harmonik

bozunum oranı $THD_I = \%4.972$ olarak bulunmuştur. Yük kapasitesinin evirici çıkış akımındaki yüksek dereceden harmonik akımları için düşük akım yolu sağlaması sebebiyle THD_I değerinin THD_V değerinden büyük olduğu açıkça görülmektedir. Aynı çalışma parametrelerine sahip simülasyon test sonuçlarından farklı olarak, evirici çıkış gerilimi ve evirici çıkış akımı THD değerlerinin gerçek zaman test sonuçlarında daha büyük çıktığı görülmektedir. Bunun sebebinin gerçek zaman uygulamada ideal olmayan elemanların parazitik etkilerinin olduğu aşıkardır.

Test 4:

Bu gerçek zaman prototip testinde evirici giriş doğru gerilimi $V_i = 60V$ ve yük saf omik olarak $R = 20\Omega$ olarak seçilmiştir. Evirici çıkışında tepe değeri giriş doğru gerilim değerine eşit olacak şekilde $V_{O_m} = 60V$ değerinde ve frekansı $f = 25Hz$ olan sinüsoidal bir gerilim üretilmesi istenmektedir. Test 4 için uygulanan gerçek zaman testinden elde edilen evirici çıkış gerilimi ve evirici çıkış akımı için elde edilen osiloskop dalga şekilleri Şekil 27'de verilmiştir.



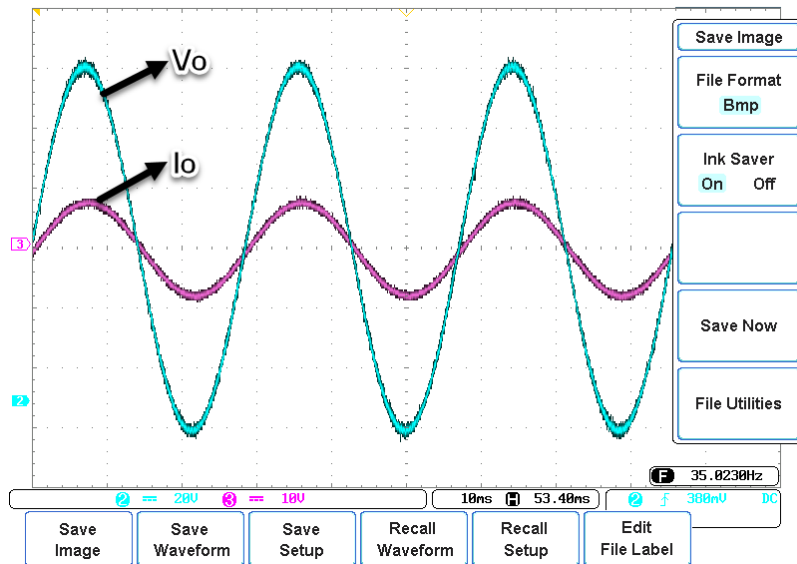
Şekil 27. Test 4 durumu için elde edilen gerçek zaman sonuçları (I_o için $V/div=A/div$)

Test 4 durumu için Şekil 27'den görüleceği üzere evirici çıkışında istenilen genlik ve frekansta evirici çıkış gerilimi V_o , sinüs formuna oldukça yakın elde edilmiştir. Osiloskop verileri MATLAB Simulink ortamına aktarılarak toplam harmonik bozunumu analizleri yapılmıştır. Evirici çıkış gerilimi V_o için elde edilen toplam gerilim harmonik bozunum oranı

$THD_V = \%1.756$ olarak bulunmuştur. Yük saf omik olduğu için evirici çıkış akımı I_o ve çıkış gerilimi V_o arasında neredeyse faz farkı oluşmamıştır. Evirici çıkış akımı I_o için elde edilen toplam akım harmonik bozunum oranı $THD_I = \%1.739$ olarak bulunmuştur. Aynı çalışma parametrelerine sahip simülasyon test sonuçlarından farklı olarak, evirici çıkış gerilimi ve evirici çıkış akımı THD değerlerinin gerçek zaman test sonuçlarında daha büyük çıktığı görülmektedir. Bunun sebebinin gerçek zaman uygulamada ideal olmayan elemanların parazitik etkilerinin olduğu aşıkardır. Bununla beraber saf omik yük durumunda simülasyon sonuçlarında $THD_V = THD_I$ bulunurken, gerçek zaman testlerinde $THD_I < THD_V$ olarak tespit edilmiştir. Bunun sebebi, evirici çıkışına bağlanan omik yükün ve evirici çıkışı elektriksel yolun sahip olduğu kaçak endüktansın, çıkış akımına ait yüksek dereceden harmonik bileşenleri filtreleme etkisidir.

Test 5:

Bu gerçek zaman prototip testinde evirici giriş doğru gerilimi $V_i = 60V$ olarak seçilmiştir. Evirici çıkışına seri direnç ve bobinden oluşan endüktif yük bağlanmıştır. Yüke ait rezistans ve endüktans değerleri sırasıyla $R = 8\Omega$ ve $L = 5mH$ olarak belirlenmiştir. Evirici çıkışında tepe değeri giriş doğru gerilim değerine eşit olacak şekilde $V_{o_m} = 60V$ değerinde ve frekansı $f = 35Hz$ olan sinüsoidal bir gerilim üretilmesi istenmektedir. Test 5 için uygulanan gerçek zaman testinden elde edilen evirici çıkış gerilimi ve evirici çıkış akımı için elde edilen osiloskop dalga şekilleri Şekil 28'de verilmiştir.

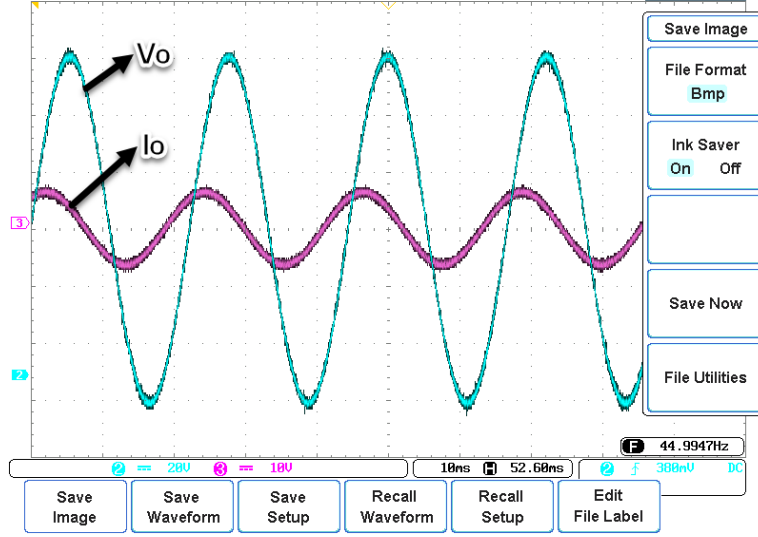


Şekil 28. Test 5 durumu için elde edilen gerçek zaman sonuçları (I_o için $V/div=A/div$)

Test 5 durumu için Şekil 28'den görüleceği üzere evirici çıkışında istenilen genlik ve frekansta evirici çıkış gerilimi V_o , sinüs formuna oldukça yakın elde edilmiştir. Osiloskop verileri MATLAB Simulink ortamına aktarılarak toplam harmonik bozunumu analizleri yapılmıştır. Evirici çıkış gerilimi V_o için elde edilen toplam gerilim harmonik bozunum oranı $THD_V = \%1.785$ olarak bulunmuştur. Yük endüktif olduğu için evirici çıkış akımı I_o , çıkış gerilimi V_o ' dan geri fazdadır. Evirici çıkış akımı I_o için elde edilen toplam akım harmonik bozunum oranı $THD_I = \%0.434$ olarak bulunmuştur. Yük endüktansının evirici çıkış akımındaki yüksek dereceden harmonik akımlarını filtrelemesi sebebiyle THD_I değerinin THD_V değerinden düşük olduğu açıkça görülmektedir. Aynı çalışma parametrelerine sahip simülasyon test sonuçlarından farklı olarak, evirici çıkış gerilimi ve evirici çıkış akımı THD değerlerinin gerçek zaman test sonuçlarında daha büyük çıktığı görülmektedir. Bunun sebebinin gerçek zaman uygulamada ideal olmayan elemanların parazitik etkilerinin olduğu aşikardır.

Test 6:

Bu gerçek zaman prototip testinde evirici giriş doğru gerilimi $V_i = 60V$ olarak seçilmiştir. Evirici çıkışına seri direnç ve kapasiteden oluşan kapasitif yük bağlanmıştır. Yüke ait rezistans ve kapasitans değerleri sırasıyla $R = 5\Omega$ ve $C = 0.5mF$ olarak belirlenmiştir. Evirici çıkışında tepe değeri giriş doğru gerilim değerine eşit olacak şekilde $V_{o_m} = 60V$ değerinde ve frekansı $f = 45Hz$ olan sinüsoidal bir gerilim üretilmesi istenmektedir. Test 6 için uygulanan gerçek zaman testinden elde edilen evirici çıkış gerilimi ve evirici çıkış akımı için elde edilen osiloskop dalga şekilleri Şekil 29'da verilmiştir.

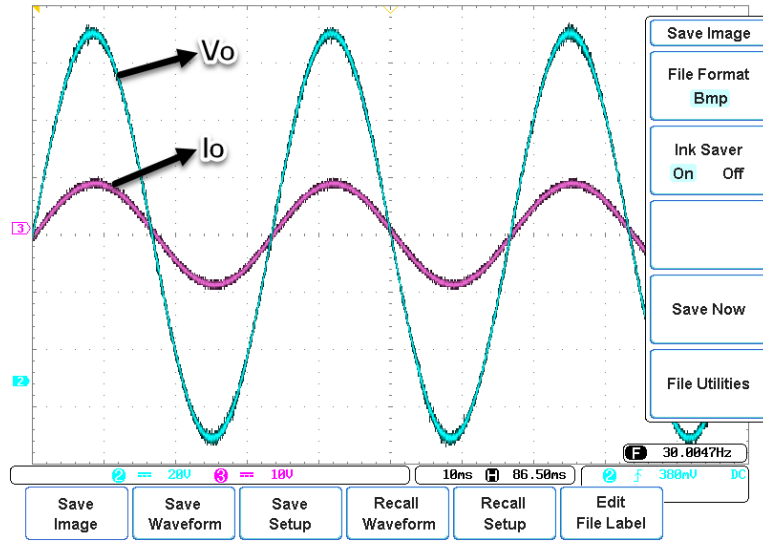


Şekil 29. Test 6 durumu için elde edilen gerçek zaman sonuçları (I_o için $V/div=A/div$)

Test 6 durumu için Şekil 29'dan görüleceği üzere evirici çıkışında istenilen genlik ve frekansta evirici çıkış gerilimi V_o , sinüs formuna oldukça yakın elde edilmiştir. Osiloskop verileri MATLAB Simulink ortamına aktarılarak toplam harmonik bozunumu analizleri yapılmıştır. Evirici çıkış gerilimi V_o için elde edilen toplam gerilim harmonik bozunum oranı $THD_V = \%1.818$ olarak bulunmuştur. Yük kapasitif olduğu için evirici çıkış akımı I_o , çıkış gerilimi V_o ' dan ileri fazdadır. Evirici çıkış akımı I_o için elde edilen toplam akım harmonik bozunum oranı $THD_I = \%3.061$ olarak bulunmuştur. Yük kapasitesinin evirici çıkış akımındaki yüksek dereceden harmonik akımları için düşük akım yolu sağlaması sebebiyle THD_I değerinin THD_V değerinden büyük olduğu açıkça görülmektedir. Aynı çalışma parametrelerine sahip simülasyon test sonuçlarından farklı olarak, evirici çıkış gerilimi ve evirici çıkış akımı THD değerlerinin gerçek zaman test sonuçlarında daha büyük çıktığı görülmektedir. Bunun sebebinin gerçek zaman uygulamada ideal olmayan elemanların parazitik etkilerinin olduğu aşikardır.

Test 7:

Bu gerçek zaman prototip testinde evirici giriş doğru gerilimi $V_i = 40V$ ve yük saf omik olarak $R = 8\Omega$ olarak seçilmiştir. Evirici çıkışında tepe değeri giriş doğru gerilim değerinden büyük olacak şekilde $V_{O_m} = 70V$ değerinde ve frekansı $f = 30Hz$ olan sinüsoidal bir gerilim üretilmesi istenmektedir. Test 7 için uygulanan gerçek zaman testinden elde edilen evirici çıkış gerilimi ve evirici çıkış akımı için elde edilen osiloskop dalga şekilleri Şekil 30'da verilmiştir.



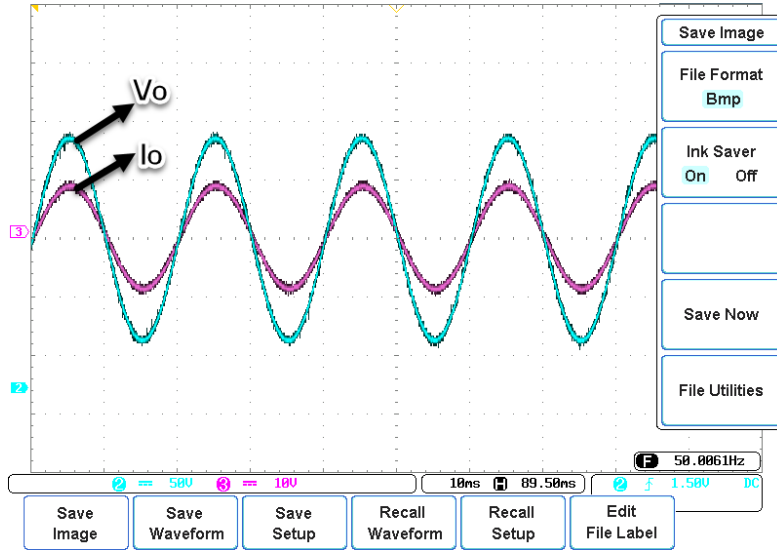
Şekil 30. Test 7 durumu için elde edilen gerçek zaman sonuçları (I_o için $V/div=A/div$)

Test 7 durumu için Şekil 30'dan görüleceği üzere evirici çıkışında istenilen genlik ve frekansta evirici çıkış gerilimi V_o , sinüs formuna oldukça yakın elde edilmiştir. Osiloskop verileri MATLAB Simulink ortamına aktarılarak toplam harmonik bozunumu analizleri yapılmıştır. Evirici çıkış gerilimi V_o için elde edilen toplam gerilim harmonik bozunum oranı $THD_V = \%1.549$ olarak bulunmuştur. Yük saf omik olduğu için evirici çıkış akımı I_o ve çıkış gerilimi V_o arasında neredeyse faz farkı oluşmamıştır. Evirici çıkış akımı I_o için elde edilen toplam akım harmonik bozunum oranı $THD_I = \%1.522$ olarak bulunmuştur. Aynı çalışma parametrelerine sahip simülasyon test sonuçlarından farklı olarak, evirici çıkış gerilimi ve evirici çıkış akımı THD değerlerinin gerçek zaman test sonuçlarında daha büyük çıktığı görülmektedir. Bunun sebebinin gerçek zaman uygulamada ideal olmayan elemanların parazitik etkilerinin olduğu aşıkardır. Bununla beraber saf omik yük durumunda simülasyon sonuçlarında $THD_V = THD_I$ bulunurken, gerçek zaman testlerinde $THD_I < THD_V$ olarak

tespit edilmiştir. Bunun sebebi, evirici çıkışına bağlanan omik yükün ve evirici çıkışı elektriksel yolun sahip olduğu kaçak endüktansın, çıkış akımına ait yüksek dereceden harmonik bileşenleri filtreleme etkisidir.

Test 8:

Bu gerçek zaman prototip testinde evirici giriş doğru gerilimi $V_i = 40V$ olarak seçilmiştir. Evirici çıkışına seri direnç ve bobinden oluşan endüktif yük bağlanmıştır. Yüke ait rezistans ve endüktans değerleri sırasıyla $R = 10\Omega$ ve $L = 0.5mH$ olarak belirlenmiştir. Evirici çıkışında tepe değeri giriş doğru gerilim değerinden büyük olacak şekilde $V_{o_m} = 85V$ değerinde ve frekansı $f = 50Hz$ olan sinüsoidal bir gerilim üretilmesi istenmektedir. Test 8 için uygulanan gerçek zaman testinden elde edilen evirici çıkış gerilimi ve evirici çıkış akımı için elde edilen osiloskop dalga şekilleri Şekil 31’de verilmiştir.



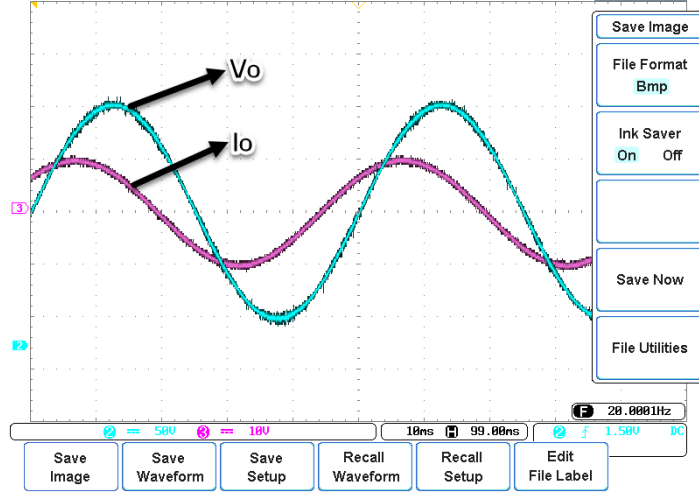
Şekil 31. Test 8 durumu için elde edilen gerçek zaman sonuçları (I_o için $V/div=A/div$)

Test 8 durumu için Şekil 31’den görüleceği üzere evirici çıkışında istenilen genlik ve frekansta evirici çıkış gerilimi V_o , sinüs formuna oldukça yakın elde edilmiştir. Osiloskop verileri MATLAB Simulink ortamına aktarılarak toplam harmonik bozunumu analizleri yapılmıştır. Evirici çıkış gerilimi V_o için elde edilen toplam gerilim harmonik bozunum oranı $THD_V = \%1.915$ olarak bulunmuştur. Yük endüktif olduğu için evirici çıkış akımı I_o , çıkış gerilimi V_o ’ dan geri fazdadır. Evirici çıkış akımı I_o için elde edilen toplam akım harmonik bozunum oranı $THD_I = \%0.666$ olarak bulunmuştur. Yük endüktansının evirici çıkış

akımındaki yüksek dereceden harmonik akımlarını filtrelemesi sebebiyle THD_I değerinin THD_V değerinden düşük olduğu açıkça görülmektedir. Aynı çalışma parametrelerine sahip simülasyon test sonuçlarından farklı olarak, evirici çıkış gerilimi ve evirici çıkış akımı THD değerlerinin gerçek zaman test sonuçlarında daha büyük çıktığı görülmektedir. Bunun sebebinin gerçek zaman uygulamada ideal olmayan elemanların parazitik etkilerinin olduğu aşıkardır.

Test 9:

Bu gerçek zaman prototip testinde evirici giriş doğru gerilimi $V_i = 40V$ olarak seçilmiştir. Evirici çıkışına seri direnç ve kapasiteden oluşan kapasitif yük bağlanmıştır. Yüke ait rezistans ve kapasitans değerleri sırasıyla $R = 6\Omega$ ve $C = 1mF$ olarak belirlenmiştir. Evirici çıkışında tepe değeri giriş doğru gerilim değerinden büyük olacak şekilde $V_{O_m} = 100V$ değerinde ve frekansı $f = 20Hz$ olan sinüsoidal bir gerilim üretilmesi istenmektedir. Test 9 için uygulanan gerçek zaman testinden elde edilen evirici çıkış gerilimi ve evirici çıkış akımı için elde edilen osiloskop dalga şekilleri Şekil 32'de verilmiştir.



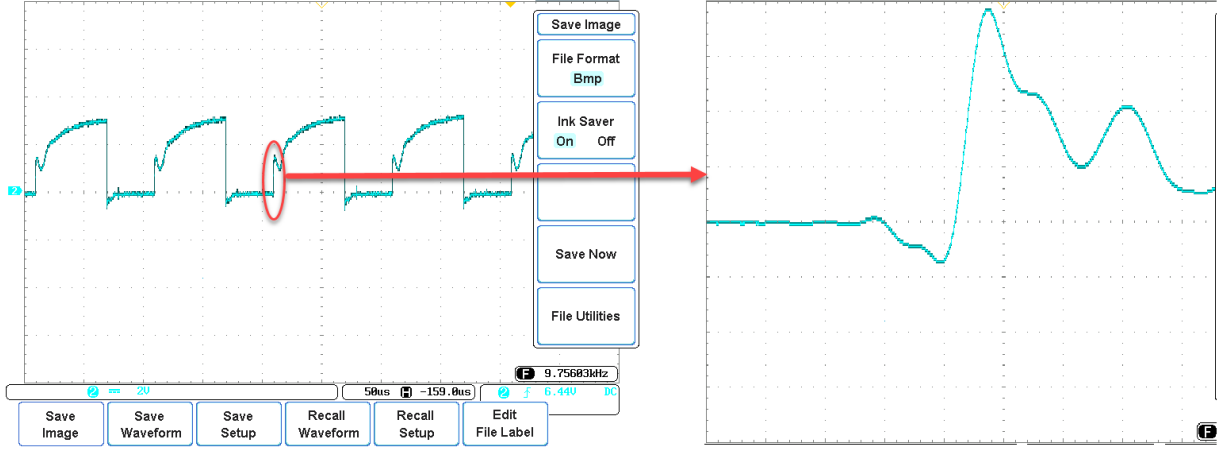
Şekil 32. Test 9 durumu için elde edilen gerçek zaman sonuçları (I_o için $V/div=A/div$)

Test 9 durumu için Şekil 32'den görüleceği üzere evirici çıkışında istenilen genlik ve frekansta evirici çıkış gerilimi V_o , sinüs formuna oldukça yakın elde edilmiştir. Osiloskop verileri MATLAB Simulink ortamına aktarılarak toplam harmonik bozunumu analizleri yapılmıştır. Evirici çıkış gerilimi V_o için elde edilen toplam gerilim harmonik bozunum oranı $THD_V = \%1.063$ olarak bulunmuştur. Yük kapasitif olduğu için evirici çıkış akımı I_o , çıkış

gerilimi V_o ' dan ileri fazdadır. Evirici çıkış akımı I_o için elde edilen toplam akım harmonik bozunum oranı $THD_I = \%1.732$ olarak bulunmuştur. Yük kapasitesinin evirici çıkış akımındaki yüksek dereceden harmonik akımları için düşük akım yolu sağlaması sebebiyle THD_I değerinin THD_V değerinden büyük olduğu açıkça görülmektedir. Aynı çalışma parametrelerine sahip simülasyon test sonuçlarından farklı olarak, evirici çıkış gerilimi ve evirici çıkış akımı THD değerlerinin gerçek zaman test sonuçlarında daha büyük çıktığı görülmektedir. Bunun sebebinin gerçek zaman uygulamada ideal olmayan elemanların parazitik etkilerinin olduğu aşıkardır.

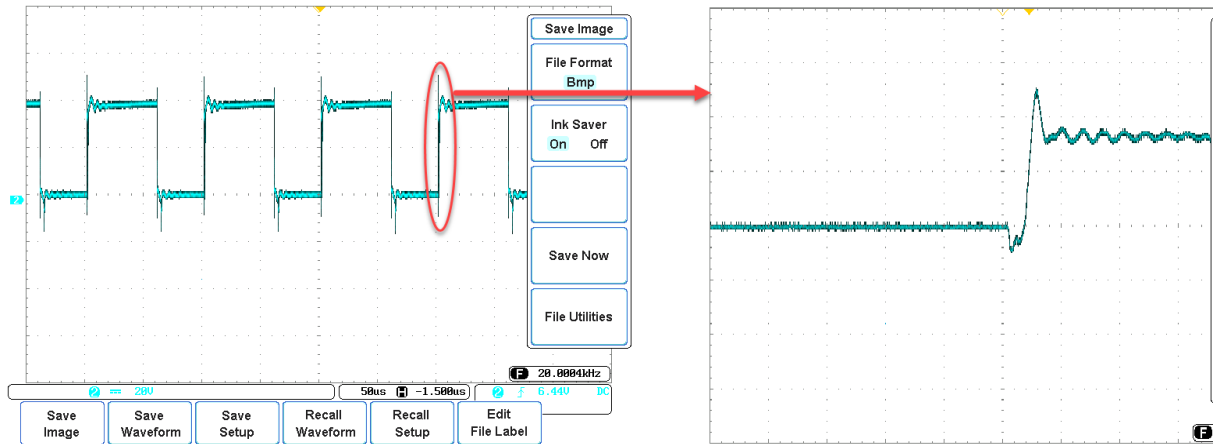
Yapılan gerçek zaman prototip testleri sonuçlarından önerilen eviricinin farklı yük değerlerinde, giriş doğru gerilim değerinden küçük eşit ya da büyük tepe değerine sahip, farklı frekans değerlerinde, toplam harmonik bozunumu değeri %5'ten az, saf sinüs formuna çok yakın sinüsoidal çıkış gerilimi üretebildiği pratik olarak ta ispatlanmıştır.

Önerilen evirici için tasarlanan söndürme (snubber) devrelerinin pratik gerçek zaman çalışma durumunda etkilerinin analizi yapılmıştır. Yapılan analizler sonucunda, kutuplu seri RLD söndürme devrelerinin tüm MOSFET anahtarlarda savak-kaynak (drain-source) akımı I_{DS} değerinin yükselme hızlarını azaltarak anahtarların iletme geçme esnasında yaklaşık sıfır akım ile iletme geçmesini sağladığı görülmüştür. Böylece iletme geçme esnasında MOSFET anahtarlarda iletme geçme anahtarlama kayıpları düşürülerek anahtarların ısınması ve zarar görmesi önlenmiştir. Kutuplu paralel RCD söndürme devrelerinin tüm MOSFET anahtarlarda savak-kaynak (drain-source) gerilimi V_{DS} değerinin anahtar kesime giderken yükselme hızını ve aşım değerini azaltarak, anahtarların kesime geçme esnasında hem yaklaşık sıfır gerilim ile kesime geçmesini sağlamıştır hem de kesim esnasında anahtar savak-kaynak uçlarında aşırı gerilim oluşmasını önlemiştir. Böylece kesime geçme esnasında MOSFET anahtarlarda kesime geçme anahtarlama kayıpları düşürülerek anahtarların ısınması ve savak-kaynak gerilim yükselmesi engellenerek anahtarların zarar görmesi önlenmiştir. Şekil 33'te S_{Sa} anahtarına ait kutuplu seri RLD söndürme devresinin bu anahtara ait savak-kaynak akımı I_{DS} değişimine etkisi gösterilmiştir. Şekil 33'te verilen I_{DS} akımı değişimi osiloskop çıktısı, daha önce yapılan gerçek zaman Test 9 çalışmasından elde edilmiştir.

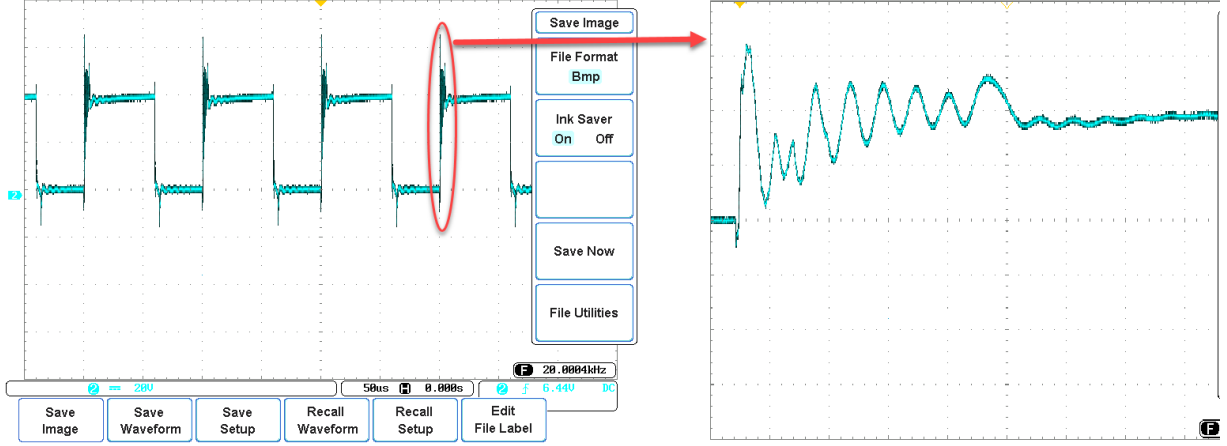


Şekil 33. Test 9 durumu için elde edilen S_{5a} anahtarına ait iletme geçme esnasında savak-kaynak akımı I_{DS} dalga şekli (I_o için $V/div=A/div$)

Şekil 34'te S_{5a} anahtarına ait kutuplu paralel RCD söndürme devresinin bu anahtara ait savak-kaynak gerilimi V_{DS} değişimine etkisi gösterilmiştir. Şekil 34'te verilen V_{DS} gerilimi değişimi osiloskop çıktısı, daha önce yapılan gerçek zaman Test 9 çalışmasından elde edilmiştir. S_{5a} anahtarına ait kutuplu paralel RCD söndürme devresinin etkisini daha iyi göstermek adına, bu anahtara ait kutuplu paralel RCD söndürme devresinin devrede olmadığı durumda savak-kaynak gerilimi V_{DS} dalga şekli aynı test koşulunda (Test 9) osiloskop üzerinden elde edilmiştir ve Şekil 35'te verilmiştir.



Şekil 34. Test 9 durumu için elde edilen S_{5a} anahtarına ait kesime geçme esnasında savak-kaynak gerilimi V_{DS} dalga şekli (kutuplu paralel RCD devresi var iken)



Şekil 35. Test 9 durumu için elde edilen S_{5a} anahtarına ait kesime geçme esnasında savak-kaynak gerilimi V_{DS} dalga şekli (kutuplu paralel RCD devresi yok iken)

Test 9 durumunda evirici giriş gerilimi $V_i = 40V$ iken, analiz yapılan zaman aralığında S_{5a} MOSFET anahtarı uçlarında kesim anında oluşan kaynak-savak V_{DS} geriliminin kesime gitme anlarında evirici giriş doğru geriliminin üzerinde aşım yaptığı Şekil 34 ve Şekil 35'ten görülmektedir. Şekil 35'te anahtara paralel bağlı kutuplu RCD söndürme devresi olmadığı durumunda anahtara ait V_{DS} gerilim değerinin yaklaşık %60 gibi büyük bir aşım değerine ulaştığı görülmektedir. Yüksek evirici çıkış akımlarında söndürme devresi olmadığı durumlarda bu aşım değerinin artacağı ve anahtar delinme geriliminin üzerine çıkarak anahtara zarar verme durumunun oluşma ihtimalinin artacağı aşıkardır. Aynı test koşullarında anahtara paralel bağlı kutuplu RCD söndürme devresi bulunduğunda, söndürme devresinin anahtara ait V_{DS} gerilim değerini yaklaşık %25 gibi bir aşım değerine düşürdüğü Şekil 34'ten görülmektedir. Böylece anahtarın kesim esnasında yüksek gerilime maruz kalarak zarar görme problemi azaltılmıştır. Bunun yanı sıra, Şekil 34 ve Şekil 35'ten görüleceği üzere, anahtara paralel bağlı söndürme devresi olduğu durumda, kesime gitme esnasında V_{DS} gerilim yükselme hızının Şekil 35'tekine kıyasıyla daha az olduğu açıkça görülmektedir. Böylece paralel söndürme devresi sayesinde anahtarın kesime gitme esnasında sıfır gerilimle anahtarlanması sağlanarak anahtarlama kaybı anahtardan söndürme devresine aktarılmıştır.

4.3. Ulusal ve Uluslararası Makale ve Bildirilerin Hazırlanması

Bu proje çalışması ile önerilen alçaltıcı-yükseltici çevirici tabanlı bir fazlı evirici için elde edilen tasarım, analiz ve test sonuçları kullanılarak makale çalışması yapılmıştır. Hazırlanan makale SCI-Expanded indeksinde taranan IET Power Electronics dergisine gönderilmiştir. Makale ilgili dergide halen inceleme aşamasında bulunmaktadır.

4.4. Ulaşılan Hedefler

Bu proje çalışmasında, proje önerisinde ve Bölüm 3'ün başında belirtilen aşağıdaki hedeflere ulaşılmıştır:

- Alçaltıcı-yükseltici çevirici tabanlı yeni bir topolojiye sahip yeni bir tek fazlı evirici tasarımı yapılmıştır.
- Tasarlanan evirici çıkışında filtre amaçlı kuplaj transformatörü ve pasif filtre kullanılmadan, farklı çalışma frekansı ve farklı yük koşullarında saf sinüs formuna çok yakın ($THD \leq 5\%$) bir fazlı gerilimin elde edilmesi sağlanmıştır.
- Geliştirilen evirici topolojisi alçaltıcı-yükseltici çevirici temeline dayalı olduğundan, evirici çıkış geriliminin genliğinin geniş bir aralıkta ayarlanabilmesi sağlanmıştır.
- Geliştirilen evirici çıkışı geriliminin frekansı 0-50 Hz aralığında geniş bir aralıkta ayarlanabilmesi sağlanmıştır.
- Evirici çalışması için yapılan simülasyon ve gerçek zaman çalışmalarının başarılı olmasıyla uluslararası bilimsel makale çalışması yapılmış ve incelenmek üzere makale çalışması SCI-Expanded indeksinde taranan uluslararası bir dergiye gönderilmiştir.
- Proje ekibinde görev alan doktora öğrencisi bursiyere güç elektroniği alanında kendini geliştirme ve proje kültürünü kazanma imkanı sağlanarak akademik yetkinlik kazanması sağlanmıştır.

5. TARTIŞMA VE SONUÇ

Bu projede, alçaltıcı-yükseltici çevirici tabanlı yeni bir tek fazlı evirici çalışması yapılmıştır. Literatürdeki benzer çalışmalardan farklı olarak anahtarlama elemanı ve pasif eleman kombinasyonu optimal olan farklı bir topoloji tasarımı oluşturulmuştur. Yine benzer çalışmalardan farklı olarak geri beslemeli klasik kontrol yapısını destekleyen yeni bir açık çevrim kontrol tekniği geliştirilerek, farklı çalışma parametrelerinde eviricinin kararlı ve yüksek performansla çalışabilirliği sağlanmıştır. Geliştirilen evirici 0.5 kW gücünde, 0-100 V_p ve 0-50 Hz aralığında çalışabilecek şekilde tasarlanmıştır. Yapılan teorik simülasyon sonuçlarından eviricinin pratik çalışabilirliği ispatlanmıştır. Evirici için gerçek zaman bir prototip tasarlanmıştır. Prototip çalışmalarına ait testlerin evirici için istenen hedefleri sağladığı görülmüştür. Evirici devresinde kullanılan aktif güç elektroniği anahtarlama elemanları için tasarlanan söndürme devreleri ile anahtarlama elemanlarına ait anahtarlama kayıpları anahtarlar üzerinden söndürme devrelerine aktarılmıştır. Böylece anahtarların anahtarlama kayıpları sebebiyle ısınarak zarar görmesi engellenmiştir. Ayrıca paralel söndürme devresi ile anahtarlar üzerinde aşırı gerilimlerin oluşması önlenerek te anahtarların korunması sağlanmıştır. Böylece projenin maddi bilimsel hedeflerine başarıyla ulaşılmıştır.

Proje çalışma sonuçlarından makale hazırlanmış ve SCI-Expanded indeksinde taranan uluslararası bir dergiye gönderilmiştir. Makalenin incelenme süreci halen devam etmektedir.

Güç elektroniği alanında halihazırda çalışmakta olan yürütücü ve araştırmacıların bu alandaki tecrübelerinin artmasının yanı sıra, proje ekibinde bursiyer olarak görev olan araştırma görevlisi doktora öğrencisinin güç elektroniği alanında kendini geliştirmesi, proje çalışmalarında deneyim elde etmesi ve akademik yetkinlik kazanması sağlanmıştır.

Başarılı bir şekilde gerçekleştirilen evirici prototipi için ticarileştirilme görüşmelerine başlanmıştır. Ayrıca çalışmaları tamamlanan bir fazlı evirici topolojisi üzerinden yine aynı alçaltıcı-yükseltici çevirici tabanlı üç fazlı evirici tasarımı için proje önerisi yapılması düşünülmektedir.



KAYNAKLAR

Atly, T. T., Aathira, K. V. 2015. "Active buck-boost inverter for inverter air conditioner applications", International Conference on Electrical, Electronics, Signals, Communication and Optimization (EESCO), 279-287.

Atly, T. T., Aathira, K. V. 2015. "Closed loop control of active buck-boost inverter for UPS applications", International Conference on Circuit, Power and Computing Technologies (ICCPCT), 1-6.

Chang, C. H., Cheng, C. A., Chang, E. C., Cheng, H. L. 2015. "Design and implementation of a two-switch buck-boost typed inverter with universal and high-efficiency features", 9th International Conference on Power Electronics and ECCE Asia (ICPE-ECCE Asia), 2737-2743.

Cho, Y. 2017. "Dual-buck residential photovoltaic inverter with a high-accuracy repetitive current controller", Renewable Energy, 101, 168-181.

Darwish, A., Massoud, A., Holliday, D., Ahmed, S., Williams, B. 2016. "Generation, performance evaluation and control design of single-phase differential- mode buck – boost current-source inverters", IET Renewable Power Generation, 10, 916-927.

Flores-Bahamonde, F., Valderrama-Blavi, H., Maria Bosque-Moncusi, J., Garcia, G., Martinez-Salamero, L. 2016. "Using the sliding-mode control approach for analysis and design of the boost inverter", IET Power Electronics, 9, 1625-1634.

Gandomi, A. A., Varesi, K., Hosseini, S. H. 2015. "DC-AC buck and buck-boost inverters for renewable energy applications", The 6th International Power Electronics Drive Systems and Technologies Conference (PEDSTC), 77-82.

Han B., Kim, M., Lee, S., Lee, J. S. 2015. "Dynamic modeling and integral sliding mode controller design for the Cuk inverter", 17th European Conference on Power Electronics and Applications (EPE ECCE-Europe), 449-455.

Haw, L. K., Dahidah, M. S. A., Almurib H. A. F. 2014. "SHE-PWM cascaded multilevel inverter with adjustable DC voltage levels control for STATCOM applications", IEEE Transactions on Power Electronics, 29, 6433-6444.

Ho, C. N. M., Siu, K. K. M. 2017. "Manitoba inverter – single phase single-stage buck- boost VSI topology", Energy Conversion Congress and Exposition (ECCE), 4576-4581.

Husev, O., Strzelecki, R., Blaabjerg, F., Chopyk, V., Vinnikov, D. 2015. "Novel family of modified qZS buck-boost multilevel inverters with reduced switch count", 9th International Conference on Compatibility and Power Electronics (CPE), 98-105.

Husev, O., Strzelecki, R., Blaabjerg, F., Chopyk, V., Vinnikov, D. 2016. "Novel family of single-phase modified impedance-source buck-boost multilevel inverters with reduced switch count", IEEE Transactions on Power Electronics, 31, 7580-7591.

Ibrahim, M. E., Mansour, A. S., Abd-Elhady, A. M. 2017. "A novel single-stage single-phase buck–boost inverter", Electrical Engineering, 99, 345–356.

IEEE. "Harmonics and IEEE 519". http://energylogix.ca/harmonics_and_ieee.pdf, Son erişim tarihi: 18 Haziran 2019.

Khan, A. A., Cha, H. 2018. "Dual-buck-structured high-reliability and high- efficiency single-stage buck–boost inverters", IEEE Transactions on Industrial Electronics, 65, 3176-3187.

Krishnapriya, C. V., Kochuvila, S., Lekshmi, S. 2015. "Bidirectional buck-boost cascade inverter", IEEE International Conference on Technological Advancements in Power and Energy (TAP Energy), 114-120.

Kumar, A., Sensarma, P. 2017. "A four-switch single-stage single-phase buck–boost inverter", IEEE Transactions on Power Electronics, 32, 5282-5292.

Lee, M., Kim, J. W., Lai, J. S. 2019. "Single inductor dual buck-boost inverter based on half-cycle PWM scheme with active clamping devices", IET Power Electronics, 12, 1011-1020.

Malarvizhi, M., Gnanambal, I. 2015. "An integrated technique for eliminating harmonics of multilevel inverter with unequal DC sources", International Journal of Electronics, 102, 293-311.

Mehrnami, S., Mazumder, S. K. 2015. "Discontinuous modulation scheme for a differential-mode Cuk inverter", IEEE Transactions on Power Electronics, 30, 1242-1254.

Mehrnami, S., Mazumder, S. K., Soni, H. 2016, "Modulation scheme for three-phase differential-mode Cuk inverter", IEEE Transactions on Power Electronics, 31, 2654-2668.

Mohan, N., Undeland, T. M., Robbins W. P. 2003. Power Electronics: Converters, Applications, and Design (3). USA: John Wiley & Sons Inc.

Narimani, M., Mochopoulos G. 2012. "Selective harmonic elimination in three-phase multi-module voltage source inverters", 27th Annual IEEE Applied Power Electronics Conference and Exposition, 1562-1567.

Nishad, M. T., Shafeeque, M. K. 2016. "A novel single stage buck boost inverter for photovoltaic applications", International Conference on Electrical, Electronics, and Optimization Techniques (ICEEOT), 3067-3071.

Qin, L., Hu, M., Lu, D. D. C., Feng, Z., Wang, Y., Kan, J. 2018. "Buck–boost dual-leg-integrated step-up inverter with low THD and single variable control for single-phase high-frequency AC microgrids", IEEE Transactions on Power Electronics, 33, 6278-6291.

Sari, K. P., Chandrabose, K. N. 2015. "Enhancement of HVDC transmission system stability using bidirectional buck boost inverter", IEEE International Conference on Power, Instrumentation, Control and Computing (PICC), 1-6.

Sen, P. C. 2008. Power Electronics (30). New Delhi: McGraw-Hill.

Shojaei, A., Fathi S. H. 2011. "An improved selective harmonics elimination method to reduce voltage THD in parallel multilevel inverters", International Review of Electrical Engineering, 6, 3196-3203.

Shubhra, S., Mishra, S. 2016. "A coupled inductor based high boost inverter with sub-unity turns-ratio range", IEEE Transactions on Power Electronics, 31, 7534-7543.

Singh, B., Saha, R., Chandra, A., Al-Haddad K. 2009. "Static synchronous compensators (STATCOM): a review", IET Power Electronics, 2, 297-324.

Song, S. G., Park, S. J., Joung, Y. H., Kang F. S. 2011. "Multilevel inverter using cascade 3-phase transformers with common-arm configuration", *Electric Power System Research*, 81, 1672-1680.

Sreekanth, T., Lakshminarasamma, N., Mishra, M. K. 2016. "Coupled inductor-based single-stage high gain DC-AC buck-boost inverter", *IET Power Electronics*, 9, 1590-1599.

Sreekanth, T., Lakshminarasamma, N., Mishra, M. K. 2017. "A single-stage grid-connected high gain buck-boost inverter with maximum power point tracking", *IEEE Transactions on Energy Conversion*, 32, 330-339.

Surendran, S., Selvakumar, R. B. 2014. "Cascaded dual buck inverter with sensorless current control method for grid connected photo voltaic systems", *International Conference on Green Computing Communication and Electrical Engineering (ICGCCEE)*, 1-6.

Tang, Y., Xu, F., Bai, Y., He, Y. 2016. "Comparative analysis of two modulation strategies for an active buck-boost inverter", *IEEE Transactions on Power Electronics*, 31, 7963-7971.

Taniguchi, K., Okumura A. 1993. "A PAM inverter system for vector control of induction motor", *Power Conversion Conference*, 478-483.

Todkar, R. R., Shinde, S. M. 2016. "A solar photovoltaic system for ATM by using buck-boost integrated full bridge inverter", *2nd IEEE International Conference On Advances in Electrical and Electronics, Information, Communication and Bio Informatics (IEEE AEEICB)*, 336-340.

Xu, S., Shao, R., Chang, L., Mao, M. 2018. "Single-phase differential buck-boost inverter with pulse energy modulation and power decoupling control", *IEEE Journal of Emerging and Selected Topics in Power Electronics*, 6, 2060-2072.

Xu, S., Yang, S., Shao, R., Chang, L. 2015. "Closed-loop pulse energy modulation of a three switch buck-boost inverter", *IEEE Energy Conversion Congress and Exposition*, 2485-2489.

Yalçın, F. 2009. "Bir fazlı evirici tasarımı", *Y. Lisans Tezi, Sakarya Üniversitesi, Sakarya*.



Yalçın, F. 2013. "FACTs cihazları içere AA-DA sisteminde optimal güç akışı hesabı için yeni bir yaklaşım", Doktora Tezi, Sakarya Üniversitesi, Sakarya.

Yalçın, F., Arifoğlu U. 2013. "Seçmeli harmonik eliminasyon metodu tabanlı bir fazlı evirici tasarımı", Sakarya Üniversitesi Fen Bilimleri Enstitüsü Dergisi, 17, 329-335.

TÜBİTAK
PROJE ÖZET BİLGİ FORMU

| | |
|---|--|
| Proje Yürütücüsü: | Doç. Dr. FARUK YALÇIN |
| Proje No: | 118E004 |
| Proje Başlığı: | Yeni Bir Alçaltıcı-Yükseltici Çevirici Tabanlı Tek Fazlı Evirici Tasarımı Ve Prototip Yapımı |
| Proje Türü: | 1002 - Hızlı Destek |
| Proje Süresi: | 12 |
| Araştırmacılar: | İRFAN YAZICI, UĞUR ARİFOĞLU |
| Danışmanlar: | |
| Projenin Yürütüldüğü Kuruluş ve Adresi: | SAKARYA UYGULAMALI BİLİMLER Ü. TEKNOLOJİ F. MEKATRONİK MÜHENDİSLİĞİ B. |
| Projenin Başlangıç ve Bitiş Tarihleri: | 01/06/2018 - 01/06/2019 |
| Onaylanan Bütçe: | 29652.0 |
| Harcanan Bütçe: | 28905.6 |
| Öz: | <p>Bu proje çalışmasında, kuplaj transformatörü ve pasif filtre kullanmadan ideal sinüs formuna oldukça yakın çıkış gerilimi üretebilen ve düşük maliyetli alçaltıcı-yükseltici çevirici tabanlı bir fazlı evirici için yeni bir topoloji tasarlanmış ve 0-100 Vp, 0-50 Hz, 0,5 kW çalışma değerlerine sahip bir prototip gerçekleştirilmiştir. Tasarlanan alçaltıcı-yükseltici çevirici tabanlı bir fazlı evirici yeni bir topolojiye sahip olmakla beraber, evirici kontrolünde ?kontrol kuralı? olarak ifade edilen yeni geliştirilen açık çevrim kontrol tekniği ile geri beslemeli PID kontrolcü desteklenerek özgün bir evirici kontrol tekniği tasarlanmıştır. Böylece, farklı evirici çalışma parametrelerinde de eviricinin kararlı ve yüksek performansta çalışması sağlanmıştır. Ayrıca eviricide bulunan tüm güç elektroniği anahtarlama elemanları için evirici topolojisine uygun olarak söndürme (snubber) devreleri tasarlanmış, böylelikle anahtarlama elemanlarının korunması ve eviricinin sağlıklı şekilde çalışması sağlanmıştır.</p> <p>Önerilen evirici topolojisi, literatürde iyi bilinen DA-DA alçaltıcı-yükseltici çeviricinin, çıkışında sinüsoidal gerilim üretecek şekilde yeniden dizayn edilmesi ve buna göre çalıştırılması temeline dayanmaktadır. Güç elektroniği anahtarlama elemanlarının uygun kontrolü ile tasarlanan DA-DA alçaltıcı-yükseltici çeviricinin girişine uygulanan doğru gerilimin polaritesi değiştirilebilmektedir. Böylelikle çevirici çıkışında farklı polaritede alternatif gerilimin elde edilmesi sağlanmıştır. Hem pozitif hem de negatif alternansta sabit değerlerde çevirici girişine gelen sabit gerilim değerlerinden, anahtarlama oranının sürekli uygun değerlerde değiştirilmesi ile evirici çıkışında yarı sinüsoidal gerilimlerin üretilmesi sağlanmıştır. Böylece periyodik olarak çevirici çıkışında idealde saf sinüsoidal, gerçek zaman uygulamasında ise ideal sinüse çok yakın bir gerilim üretilmiştir.</p> <p>Tasarlan evirici topolojisi için yapılan hem simülasyon hem de gerçek zaman prototip uygulaması testlerinden, tasarlanan bir fazlı eviricinin farklı çalışma parametrelerinde gerilim THD değerleri %5'in altında saf sinüsoidale çok yakın bir fazlı gerilim üretebildiği gösterilmiştir.</p> |
| Anahtar Kelimeler: | Evirici, bir fazlı evirici, güç elektroniği, alçaltıcı-yükseltici çevirici, harmonik |
| Fikri Ürün Bildirim Formu Sunuldu Mu?: | Evet |